

(11)特許出願公開番号

(43)公開日 平成7年(1995)4月7日

技術表示箇所

G O B K 19/ 00

N

G 1 1 C 17/ 00

309 Z

審査請求 未請求 請求項の数8 FD (全 22 頁)

(71)出票人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71)出願人 000233468

日立超エル・エス・アイ・エンジニアリング株式会社

東京都小平市上水本町5丁目20番1号

(71)出願人 000233527

日立東部セミコンダクタ株式会社

埼玉県入間郡毛呂山町大字旭台15番地

(74)代理人 弁理士 玉村 静世

最終頁に続く

Figure 1 is a block diagram of a control system for a multi-robot system. The diagram shows a central 'コントロール部' (Control Unit) with four output lines (30, 31, 32, 33) connected to four robot units (1, 2, 3, 4). Each robot unit contains a 'モータ' (Motor) and a 'センサ' (Sensor). The robot units are labeled 'PARV-0', 'PARV-1', 'PARV-2', and 'PARV-19'. The control unit is labeled 'コントロール部' and 'コントロール部'.

FH 008747

1

【特許請求の範囲】

【請求項 1】 複数のカードインタフェース端子と、電氣的に消去及び書き込み可能であって、上記カードインタフェース端子からの指示に基づく所定動作の完了を外に通知するための情報を出力する第 1 の端子を備えた複数の不揮発性記憶装置と、

上記カードインタフェース端子を介して与えられる情報に従って上記複数の不揮発性記憶装置を選択的にアクセス制御するカードコントローラとを有するメモリカードであって、上記カードコントローラは、上記不揮発性記憶装置に対する上記所定動作の指示に同期してビジー状態を示すビジー信号を所定の上記カードインタフェース端子から出力し、上記所定動作が指示された全ての不揮発性記憶装置の上記第 1 の端子から当該所定動作の完了を通知するための情報が出力される状態を待って、上記ビジー信号をレディー状態に変化させるビジー信号生成部を備えて、成るものであることを特徴とするメモリカード。

【請求項 2】 複数のカードインタフェース端子と、電氣的に消去及び書き込み可能であって、上記カードインタフェース端子からの指示に基づく所定動作の完了を外に通知するための情報をデータ入出力端子の内の一つのデータ入出力端子である第 1 の端子から出力する複数の不揮発性記憶装置と、不揮発性記憶装置毎にその第 1 の端子に個別に結合された複数のボーリング用信号線と、不揮発性記憶装置のその他のデータ入出力端子が結合され夫々の不揮発性記憶装置に共通のデータバスとを含むローカルバスと、上記ローカルバスに結合され、上記カードインタフェース端子を介して与えられる情報に従って上記複数の不揮発性記憶装置を選択的にアクセス制御するカードコントローラとを有するメモリカードであって、上記カードコントローラは、不揮発性記憶装置に対する上記所定動作の指示に同期してビジー状態を示すビジー信号を所定の上記カードインタフェース端子から出力し、上記所定動作が指示された全ての不揮発性記憶装置の上記第 1 の端子から当該所定動作の完了を通知するための情報がボーリング用信号線を介して伝達されるのを待って、上記ビジー信号をレディー状態に変化させるビジー信号生成部と、外部からアクセス対象とされる不揮発性記憶装置に対応されるボーリング用信号線を、上記ビジー信号のビジー状態への変化に応じてデータ入出力用のカードインタフェース端子から切り離すデータバス切換部とを有して、成るものであることを特徴とするメモリカード。

【請求項 3】 上記夫々の不揮発性記憶装置は、これに与えられるコマンドデータによってその動作が指示されるものであり、

上記カードコントローラは、外部から与えられるコマンドデータの種別に応じた制御態様を状態遷移制御で生成

2

するものであることを特徴とする請求項 1 又は 2 記載のメモリカード。

【請求項 4】 上記カードコントローラは、夫々の不揮発性記憶装置に対して格別に状態遷移制御を行う制御部を備えるものであることを特徴とする請求項 3 記載のメモリカード。

【請求項 5】 上記カードコントローラは、ビジー信号生成部がビジー状態のビジー信号を出力しているとき、上記カードインタフェース端子からのリセットの指示に対し、ビジー信号をレディー状態に強制するようにビジー信号生成部を制御するものであることを特徴とする請求項 1 又は 2 記載のメモリカード。

【請求項 6】 不揮発性記憶装置に対する消去又は書き込みのための高電圧の不希望な低下を検出して上記カードコントローラに通知する検出回路を更に有し、上記カードコントローラは、上記ビジー信号がビジー状態にされているとき上記検出回路による高電圧の不希望な低下の通知を受けることにより、当該ビジー信号をレディー状態に強制するものであることを特徴とする請求項 1 又は 2 記載のメモリカード。

【請求項 7】 上記不揮発性記憶装置は、これに与えられるコマンドデータによってその動作が指示され、指示可能な動作としてメモリブロック単位での一括消去動作を含み、当該消去動作の指示に際しては、複数回のアドレス入力によって一括消去対象メモリブロックの複数個指定が許容されるものであり、

上記カードコントローラは、上記消去対象メモリブロックを指定するためのアドレスがアクセス対象の不揮発性記憶装置に供給されるとき、当該不揮発性記憶装置のデータ入出力端子には、コマンドとして割当てられていないデータを供給するものであることを特徴とする請求項 1 又は 2 記載のメモリカード。

【請求項 8】 上記不揮発性記憶装置は、これに与えられるコマンドデータによってその動作が指示され、指示可能な動作としてメモリブロック単位での一括消去動作を含み、当該消去動作の指示に際しては、複数回のアドレス入力によって一括消去対象メモリブロックの複数個指定が許容されるものであり、

上記カードコントローラは、上記消去対象メモリブロックを指定するためのアドレス入力終了されたことを示すボーリング開始データが外部から書き込み可能にされるレジスタを有し、上記ボーリング開始データが当該レジスタに書き込まれたことによってビジー信号をビジー状態で出力させるものであることを特徴とする請求項 1 又は 2 記載のメモリカード。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、電氣的に消去及び書き込み可能な不揮発性記憶を複数個搭載したメモリカードに関し、例えば、フラッシュメモリを利用したメモリー

3

ド(1/Oカードとも記す)、さらには当該メモリカードを利用した情報処理システムに適用して有効な技術に關する。

【0002】

【従来の技術】フラッシュメモリは、EEPROMと同様に電氣的に消去及び書込みを行うことができ、且つ、EPROMと同様にそのメモリセルを1個のトランジスタで構成することができると共に、メモリセルの全てを一括して、またはメモリセルのブロックを一括して電氣的に消去する機能を持つ。したがって、フラッシュメモリは、システムに実装された状態(オンボード)でその記憶情報を書換えることができると共に、その一括消去機能により書換え時間の短縮を図ることができ、さらに、チップ占有面積の低減にも寄与する。

【0003】フラッシュメモリとしては例えば、株式会社日立製作所の4メガビットフラッシュメモリ(HN28F4001)がある。これは、株式会社日立製作所から年 月に発行されたユーザーズマニュアルに記載されるように、自動書込みや自動消去時には、ステータスボーリングによってその動作の終了を外部で確認できるようになっている。例えば自動消去においては、ペリファイによって所定の消去状態が得られるまで特定のデータ入出力端子がローレベルに維持され、消去完了を以て当該端子がハイレベルにされる。フラッシュメモリに対して自動消去を指示したマイクロプロセッサなどは、当該信号を参照することによって当該動作の終了を認識できる。

【0004】

【発明が解決しようとする課題】本発明者は、上記のようなステータスボーリング機能を備えたフラッシュメモリのような不揮発性記憶装置をカード基板に複数個搭載して成るメモリカードについて検討した。これによれば、メモリカードに指示された自動消去などの動作が終了されているか否かをメモリカードのレディー状態又はビジー状態として外部に知らせるには、以下の点について考慮しなければならないことを本発明者は見出した。すなわち、個々の不揮発性記憶装置がステータスボーリング機能のために出力する信号から、メモリカード全体のレディー状態又はビジー状態を代表する信号を形成しなければならない。不揮発性記憶装置におけるステータスボーリング機能のための信号出力端子がデータ入出力端子などのその他の端子と兼用されるものであるとき、メモリカードのインタフェース仕様と夫々の不揮発性記憶装置のインタフェース仕様とを整合させるための回路若しくは論理が必要になる。

【0005】本発明の目的は、複数個の不揮発性記憶装置夫々のステータスボーリング機能を統合してメモリカード全体としてのビジー状態とレディー状態を外部に通知できるメモリカードを提供することにある。本発明の別の目的は、内蔵された複数個の不揮発性記憶装置に

4

するアクセス制御が容易なメモリカードを提供することにある。本発明のその他の目的は、内蔵された複数個の不揮発性記憶装置の誤動作を防止できるメモリカードを提供することにある。

【0006】本発明の前記並びにその他の目的と新規な特徴は本明細書の記述及び添付図面から明らかになるであろう。

【0007】

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

【0008】(1)電氣的に消去及び書込み可能であって、外部からの指示に基づく所定動作例えば消去又は書込みと共にそのペリファイをも自動的に内部で行うオートイレース又はオートプログラム動作の完了を外部に通知するための情報を第1の端子から出力してステータスボーリングを可能とする機能(以下単にステータスボーリング機能又はデータボーリング機能とも記す)機能を夫々有する複数個の不揮発性記憶装置と、外部から与えられる情報に従って上記複数個の不揮発性記憶装置を選択的にアクセス制御するカードコントローラとを有するメモリカードであって、外部からの不揮発性記憶装置に対する上記所定動作の指示に同期してビジー状態を示すビジー信号を外部に出力し、上記所定動作が指示された全ての不揮発性記憶装置の上記第1の端子から当該所定動作の完了を通知するための情報が出力される状態を待って上記ビジー信号をレディー状態に変化させるビジー信号生成部を備えたカードコントローラを採用するものである。

(2)不揮発性記憶装置においてステータスボーリング機能のための情報出力用の第1の端子がデータ入出力端子の一つと兼用されるものであるとき、上記ビジー信号がビジー状態にされている期間に、即ち、所定の不揮発性記憶装置がオートイレースなどの所定動作中に、別の不揮発性記憶装置をリードアクセス可能にするには、夫々の不揮発性記憶装置においてステータスボーリング機能のための情報出力用の第1の端子を不揮発性記憶装置毎に各別のボーリング用信号線に結合するとよい。このとき、不揮発性記憶装置のその他のデータ入出力端子は、夫々の不揮発性記憶装置に共通のデータバスに接続すれば済む。

(3)上記夫々の不揮発性記憶装置は、これに与えられるコマンドデータによってその動作が指示されるものであるとき、カードコントローラによる不揮発性記憶装置のアクセス制御を簡単化するには、不揮発性記憶装置の動作態様を規定するコマンドデータの種別に応じた制御態様を状態遷移制御で生成する形式をカードコントローラに採用するとよい。

(4)不揮発性記憶装置がそのステータスボーリング機能に応じた動作中に別の不揮発性記憶装置にコマンドデ

5

ータをライトして、相互に別々のコマンドデータで並列的に動作される不揮発性記憶装置が夫々のステータスポーリング機能に応じた動作を並列的に行うときにも、夫々のステータスポーリング機能を簡単に統合できる様にするには、上記カードコントローラに、夫々の不揮発性記憶装置に対して格別に状態遷移制御を行う制御部を採用すればよい。

(5) ビジー状態の途中でリセットが指示された場合、動作途中のフラッシュメモリの誤動作を防止するには、ビジー信号をレディー状態に強制することが望ましい。

(6) ビジー状態の途中における消去又は書き込み用高電圧の不所望な低下によるフラッシュメモリの誤動作を防止するには、上記高電圧の不所望な低下を検出して上記カードコントローラに通知する検出回路を設け、カードコントローラは、上記ビジー信号がビジー状態にされているとき上記検出回路による高電圧の不所望な低下の通知を受けることにより、当該ビジー信号をレディー状態に強制するようにするとよい。

(7) メモリブロック単位で消去動作が可能にされ、複数回のアドレス入力によって消去対象メモリブロックの複数個指定が許容される形式の不揮発性記憶装置が搭載されるとき、消去対象メモリブロックの指定アドレスの供給終了、換言すれば不揮発性記憶装置による複数メモリブロックの消去開始は、当該不揮発性記憶装置に供給されるチップイネーブル信号のような信号の変化によって伝達される。メモリカードにおいてその様なチップイネーブル信号はカードコントローラが制御する。このとき、消去対象メモリブロックの指定アドレスの供給終了をカードコントローラが確実に認識できるようにするには、換言すれば、不揮発性記憶装置に対する複数ブロックの消去動作開始タイミングを確実に認識できるようにするには、消去対象メモリブロックの指定アドレス入力

が終了されたことを示すポーリング開始データを外部から受けるレジスタを採用し、これによって、カードコントローラがその判断を行えばよい。このとき、当該レジスタに上記ポーリング開始データが書き込まれるのに応じてビジー信号をビジー状態で出力させる。

(8) メモリブロック単位で消去動作が可能にされ、複数回のアドレス入力によって消去対象メモリブロックの複数個指定が許容される形式の不揮発性記憶装置が搭載されるとき、複数回に亘る消去対象メモリブロックの指定アドレス入力中に不所望なコマンドデータがデータ入力として与えられることによって引き起こされる誤動作を未然に防止するには、消去対象メモリブロックの指定アドレス供給中に、カードコントローラは、不揮発性記憶装置のデータ入出力端子に、コマンドとして割当てられていないデータを供給することが望ましい。

【0009】

【作用】上記した手段によれば、内蔵された不揮発性記憶装置個々のステータスポーリング機能をカードコント

6

ローラが統合制御することは、内蔵不揮発性記憶装置のステータスポーリング機能をメモリカード自体のビジー状態又はレディー状態に置き換えて外部に通知するように作用する。斯る作用は、メモリカードをアクセスするホスト装置が個々の不揮発性記憶装置を個別的にステータスポーリングする処理を不要とし、上記ビジー信号を割込み信号などとしてホスト装置が受けることによって、そのような処理からホスト装置が開放され、システムのスループットを向上させる。また、各不揮発性記憶装置に固有のデータポーリング用信号線を採用することは、特定の不揮発性記憶装置がそのステータスポーリング機能に応じた動作中であっても、これに並行して、その他の不揮発性記憶装置に対するリード動作を可能にするなど、メモリカードの使い勝手、更にはメモリカードを利用するシステムのスループットを向上させる。カードコントローラによる不揮発性記憶装置に対する制御態様を状態遷移制御とすることは、不揮発性記憶装置に対するアクセス制御を容易にする。さらに、ビジー状態でのカードリセットの指示に応じてビジー信号をレディー状態にすること、ビジー状態の途中で消去又は書き込み用高電圧が不所望に電圧低下したときにビジー信号をレディー状態にすること、また、消去対象メモリブロックの指定アドレス入力中に不揮発性記憶装置のコマンドに割当てられていないコードデータを当該不揮発性記憶装置のデータ入力として供給することは、メモリカードに内蔵された不揮発性記憶装置の誤動作を防止する。

【0010】

【実施例】図1には本発明の一実施例に係るフラッシュメモリカードのブロック図が示される。同図に示されるフラッシュメモリカード（以下単にメモリカードとも記す）1は、JEIDAメモリカード（タイプI）、即ち、JEIDAメモリカードインタフェースに適合されたインタフェースを持つメモリカードである。フラッシュメモリカード1は、ローカルメモリ2とカードコントローラ3を備え、両者はローカルバス4で接続され、全体としてカード基板に構成されて成る。ローカルメモリ2は、特に制限されないが、株式会社日立製作所製の4メガビットの記憶容量を持つフラッシュメモリ（HN28F4001）を20個備える。フラッシュメモリは、FMR Y-0～FMR Y-19として図示され、デバイス0～デバイス19とも記す。上記カードコントローラ3は、上記JEIDAに適合するインタフェースを介して外部からフラッシュメモリFMR Y-0～FMR Y-19を制御する。

【0011】ここで先ず、相互に同一のフラッシュメモリFMR Y-0（～FMR Y-19）について説明する。

【0012】図19にはフラッシュメモリFMR Y-0の外部端子構成が示される。同図に示されるフラッシュメモリFMR Y-0は8ビットのデータ入出力端子PI

7

／00～P1／07、19ビットのアドレス入力端子PA0～PA18、ローインーブルのチップ選択信号（チップインーブル信号とも記す）の入力端子PCEN、ローインーブルのアウトプットインーブル信号の入力端子POEN、5Vのような電源電圧V_{dd}の入力端子、0Vのような接地電位V_{ss}の入力端子、及び12Vのような高電圧V_{pp}の入力端子を備える。図19のフラッシュメモリFMR Y-0はパッケージされた状態で示されるが、カード基板の構成に応じパッケージされていないものを採用することも可能である。

【0013】図20には上記フラッシュメモリFMR Y-0のブロック図が示される。

【0014】同図において100は、2層ゲート構造の絶縁ゲート型電界効果トランジスタによって構成されたフラッシュメモリセル（以下単にメモリセルとも記す）をマトリクス配置したメモリアレイである。フラッシュメモリセルのコントロールゲートはそれぞれ対応する図示しないワード線に接続され、フラッシュメモリセルのドレインはそれぞれ対応する図示しないデータ線に接続され、フラッシュメモリセルのソースはメモリブロック

毎に共通の図示しないソース線に接続されている。【0015】メモリセルへの情報の書き込み動作は、例えばコントロールゲート及びドレインに高電圧を印加して、アバランシェ注入によりドレイン側からフローティングゲートに電子を注入することで実現される。この書き込み動作によりフラッシュメモリセルは、そのコントロールゲートからみたしきい値電圧が、書き込み動作を行わなかった消去状態のメモリセルに比べて高くなる。

【0016】一方消去動作は、例えばソースに高圧を印加して、トンネル現象によりフローティングゲートからソース側に電子を引き抜くことによって実現される。消去動作により記憶トランジスタはそのコントロールゲートからみたしきい値電圧が低くされる。書き込み並びに消去状態の何れにおいてもメモリセルトランジスタのしきい値は正の電圧レベルにされる。すなわちワード線からコントロールゲートに与えられるワード線選択レベルに対して、書き込み状態のしきい値電圧は高くされ、消去状態のしきい値電圧は低くされる。双方のしきい値電圧とワード線選択レベルとがそのような関係を持つことによって、選択トランジスタを採用することなく1個のトラ

ンジスタでメモリセルを構成することができる。【0017】読み出し動作においては、上記フラッシュメモリセルに対して弱い書き込み、すなわち、フローティングゲートに対して不所望なキャリアの注入が行われないように、ドレイン及びコントロールゲートに印加される電圧が比較的低い値に制限される。例えば、1V程度の低電圧がドレインに印加されるとともに、コントロールゲートに5V程度の低電圧が印加される。これらの印加電圧によってメモリセルトランジスタを流れるチャネル電流の大小を検出することにより、メモリセルに記

8

憶されている情報の論理値“0”、“1”を判定することができる。

【0018】図20においてアドレス入力バッファ（AIB）101は、アドレス入力端子PA0～PA18から供給されるアドレス信号を内部相補アドレス信号に変換する。変換されたアドレス信号は、アドレスラッチ回路102にラッチされる。Xアドレスデコーダ及びワードドライバ（XADEC）103はアドレスラッチ回路102にラッチされたXアドレス信号を解読し、解読して得られる選択信号などに基づいてワード線を駆動する。データ読出し動作においてワードドライバは5Vのような電圧でワード線を駆動し、データの書き込み動作では12Vのような高電圧でワード線を駆動する。データの消去動作においてワードドライバの全ての出力は0Vのような低い電圧レベルにされる。104は、アドレスラッチ回路102にラッチされたYアドレス信号を解読するYアドレスデコーダ（YADEC）である。105は、Yアドレスデコーダ104の出力選択信号に従ってデータ線を選択するYセクタである。106はデータ読出し動作においてYセクタ105で選択されたデータ線からの読出し信号を増幅するセンスアンプである。107はセンスアンプ106の出力を保持するデータ出力ラッチである。108はデータ出力ラッチ107が保持するデータを外部に出力するためのデータ出力バッファである。109は外部から供給される書き込みデータ又はコマンドデータなどを取り込むためのデータ入力バッファである。データ入力バッファ109から取り込まれた書き込みデータ又はコマンドデータはデータ入力ラッチ110に保持される。データ入力ラッチ110に保持された書き込みデータのうち論理値“0”に対応されるビットデータに対して、書き込み回路111はYセクタ105で選択されたデータ線に書き込み用高電圧を供給する。この書き込み用高電圧は、Xアドレス信号に従ってコントロールゲートに高電圧が印加されるメモリセルのドレインに供給され、これによって当該メモリセルが書き込みされる。

【0019】上記データ入力ラッチ110にラッチされたコマンドデータはメモリ制御回路112に供給される。メモリ制御回路112は、その他に端子PCEN及びPOENから供給されるチップインーブル信号及びアウトプットインーブル信号を受け、フラッシュメモリの読出し、消去、書き込み動作などの各種内部動作を制御する。更にメモリ制御回路112は、書き込みベリファイなどのために書き込みデータも供給される。

【0020】上記フラッシュメモリFMR Y-0の動作はコマンドデータ（単にコマンドとも記す）によって決定される。メモリ制御回路112は、データ入力ラッチ110から供給されるコマンドデータをラッチする図示しないコマンドラッチと、コマンドラッチにラッチされたコマンドを解読して、各種動作モードに応じた制御信

号を生成する図示しないコマンドデコーダを備える。読出し、消去、書き込みなどの各動作に必要とされる動作電圧は、メモリ制御回路112の制御により動作モードに応じて各部に供給される。

【0021】図21にはコマンドデータによって設定されるコマンドの種類及びその設定態様が示される。

【0022】特に制限されないが、コマンドデータの取り扱いは、基本的に第1サイクル及び第2サイクルの2サイクルで行われる。各サイクルに示されるモードの項目は、そのサイクルがライト又はリードの何れに属するかを示し、アドレスの項目は当該サイクルで供給されるアドレスの種類を示し、データの項目は当該サイクルで供給されるコマンドデータなどを示す。コマンドの種類は、特に制限されないが、以下の通りである。

(1) リードメモリ

リードメモリとは、メモリセルからデータを読出す動作モードである。即ち、第1サイクルでフラッシュメモリにコマンドデータ"00H"が書き込まれると、第2サイクルで読出すべきデータDoutが出力される。

(2) リードID

リードIDとは、製品識別コード(ID)を読出す動作モードである。これは、第1サイクルでコマンドデータ"90H"が書き込まれると、第2サイクルでは製品識別アドレスIAで指定されるアドレスから製品識別コードIDが出力される。

【0023】(3) チップイレース

チップイレースとは、チップの全体を一括消去する動作モードである。第1サイクルでコマンドデータ"20H"が書き込まれ、且つ第2サイクルでコマンドデータ"20H"が書き込まれることにより、当該動作モードが指示される。

(4) ブロックイレース

ブロックイレースとは、ブロック単位で消去を行う動作モードである。当該動作モードは、第1サイクルでコマンドデータ"60H"が書き込まれ、且つ第2サイクルでコマンドデータ"60H"が書き込まれると共に、消去対象ブロックのアドレスBAが供給されることにより、当該ブロックの消去が行われる。

(5) イレースベリファイ

イレースベリファイとは、消去に対するベリファイを行う動作モードである。即ち、第1サイクルでコマンドデータ"A0H"とベリファイすべきメモリアドレスが書き込まれると、第2サイクルにおいて当該アドレスのデータ(EVD)が読出される。

【0024】(6) オートチップイレース

オートチップイレースとは、チップ全体に対する消去とベリファイを自動的に行う動作モードである。これは、第1サイクルでコマンドデータ"30H"が書き込まれ、且つ第2サイクルでコマンドデータ"30H"が書き込まれることにより行われる。この動作モードが指

定されると、消去動作はメモリ制御回路により自動的に行われるので、外部制御による消去及びベリファイは必要とされない。この自動消去が開始されると、ステータスポーリング(データポーリングとも記す)機能によって自動消去及びベリファイの終了を外部で確認可能にされる。即ち、消去及びベリファイ動作中は例えばデータ入出力端子PI/O7にローレベルの信号が出力され、消去及びベリファイ動作が終了されると、当該端子の出力がハイレベルに反転される。このとき、その他のデータ入出力端子I/O0~I/O6は高出力インピーダンス状態にされる。

(7) オートブロックイレース

オートブロックイレースとは、指定されたブロックを自動的に消去すると共に当該消去に対するベリファイを行う動作モードである。これは、第1サイクルでコマンドデータ"20H"が書き込まれ、且つ第2サイクルでコマンドデータ"D0H"が書き込まれると共に、消去対象ブロックのアドレスBAが供給されることにより、当該ブロックの消去とベリファイが行われる。この動作モードが指定されると、ブロックの消去及びベリファイ動作はメモリ制御回路により自動的に行われるので、外部制御による消去及びベリファイは必要とされない。また、上記同様に、データ入出力端子PI/O7を介するステータスポーリング機能によってブロックの自動消去及びベリファイの終了を外部で確認可能にされる。

(8) プログラム

プログラムとは、書き込み動作を行う動作モードであり、第1サイクルでコマンドデータ"40H"が書き込まれると、第2サイクルではプログラムアドレスPAで指定されるメモリセルに書き込みデータPDが書き込まれる。

(9) プログラムベリファイ

プログラムベリファイとは、書き込みに対するベリファイを行う動作モードであり、第1サイクルでコマンドデータ"C0H"とベリファイすべきメモリアドレスPVAが書き込まれると、第2サイクルにおいて当該アドレスPVAのデータPDが読出される。

【0025】(10) オートプログラム

オートプログラムとは、自動的に書き込みを行うと共に当該書き込みに対するベリファイを行う動作モードである。これは、第1サイクルでコマンドデータ"10H"が書き込まれ、且つ、第2サイクルで書き込みアドレスPAと書き込みデータPDが指定されることによって行われる。この動作モードが指定されると、書き込み動作はメモリ制御回路により自動的に行われるので、外部制御による書き込み及びベリファイは必要とされない。この自動書き込みが開始されると、ステータスポーリング機能によって自動書き込み及びベリファイ動作の終了を外部で確認可能にされる。即ち、書き込み及びベリファイ動作中は例えばデータ入出力端子PI/O7に書き込みデータの対応ビットの反転レベルの信号が出力され、書き込み及びベリフ

11

アイが動作が終了されると、当該端子の出力が書き込みデータの対応ビットのレベルに反転される。このとき、その他のデータ入出力端子I/O0~I/O6は上記同様に高出力インピーダンス状態にされる。

【0026】(11)リセット

リセットとは、フラッシュメモリの内部をリセットする動作モードであり、プログラム又はオートプログラムの第1サイクル後にリセットする場合は、第1及び第2サイクルの2回でコマンドデータ“FFH”を書き込むことによって行われ、その他の状態をリセットする場合には1回だけコマンドデータ“FFH”を書き込めばよい。

【0027】上記コマンドの説明から明らかなように、上記フラッシュメモリの動作は、上記第1サイクル及び必要に応じて第2サイクルで書き込まれるコマンドデータの内容によって決定される。コマンドデータの書き込みは、チップイネーブル信号によるフラッシュメモリのチップ選択によって開始される。換言すれば、フラッシュメモリは、外部からライトイネーブル信号のような書き込み信号によってコマンドデータの書き込みが指示されなくとも、チップ選択が指示されることによって、先ずコマンドデータを取り込むようにされる。これが第1サイクルとされる。第2サイクルの要否は第1サイクルで書き込まれたコマンドデータがメモリ制御回路112で解釈されることによって判定される。このような動作仕様故に、本実施例で採用されるフラッシュメモリは、外部からの書き込み指示信号としてのライトイネーブル信号を必要としない。上記動作モードにおいて、データ入出力端子PI/O7を介するデータポーリングを可能にするオートチップイレーズ、オートブロックイレーズ、オートプログラムの各動作モード（以下単にオート系動作モード）において、データ入出力端子PI/Oを介するデータポーリングのための出力は、フラッシュメモリの端子PCEN、POENを介して供給されるチップイネーブル信号、アウトプットイネーブル信号が夫々ローレベルにアサートされている状態において外部で観測可能にされる。

【0028】次に、本実施例に係るメモリカード1におけるJEIDAのメモリインタフェースについて図1を参照しながら説明する。

【0029】すなわち、24ビットのアドレス信号A0~A23を入力する複数のアドレス入力端子30と、夫々ローイネーブルの2ビットのチップイネーブル信号CE1N、CE2N、ローイネーブルのライトイネーブル信号WEN、ローイネーブルアウトプットイネーブル信号OEN、ハイイネーブルのリセット信号RESET、及びローイネーブルのレジスタイネーブル信号REGNを入力する複数の制御端子31、16ビットのデータD0~D15を入出力するデータ入出力端子32、及びローイネーブルのビジー信号BSYNを出力する制御

12

端子33を備える。

【0030】図22にはこのメモリカード1に対する外部からのアクセス態様の一例が示される。アクセス態様は上記信号CE1N、CE2N及びアドレスビットA0によって決定され、バイト（8ビット）単位でのアクセスとワード（16ビット）単位でのアクセスに大別される。

【0031】次に、上記ローカルバス4の構成を図1を参照しながら説明する。

【0032】上記20個のフラッシュメモリFMRY-0~FMRY-19は交互に偶数バイト（下位側8ビット）と奇数バイト（上位側8ビット）とに割当てられる。偶数バイトに割当てられた夫々のフラッシュメモリ（デバイス0、デバイス2、…）のデータ入出力端子PI/O0~PI/O6は対応ビット毎に偶数バイトコマンドデータバスMD0~6（7ビット）に共通接続される。同様に奇数バイトに割当てられた夫々のフラッシュメモリ（デバイス1、デバイス3、…）のデータ入出力端子PI/O0~PI/O6は対応ビット毎に奇数バイトコマンドデータバスMD8~14（7ビット）に共通接続される。各フラッシュメモリFMRY-0~FMRY-19のデータ入出力端子PI/O7は、デバイス（フラッシュメモリ）毎にデータポーリング用データバスPD0~19（20ビット）の対応ビットに個別に接続される。このデータポーリング用データバスPD0~19はオート系動作モードにおいてデータポーリングに兼用される。夫々のフラッシュメモリFMRY-0~FMRY-19のアドレス入力端子PA0~PA18は19ビットのコモンアドレスバスMA1~19に結合される。フラッシュメモリFMRY-0~FMRY-19に対するチップ選択は20ビットのチップ選択信号MCE0N~MCE19Nによって各別に行われる。また、フラッシュメモリFMRY-0~FMRY-19に対するアウトプットイネーブル信号MOENはフラッシュメモリFMRY-0~FMRY-19の端子POENに共通に供給される。

【0033】図2には上記カードコントローラ3の一例ブロック図が示される。カードコントローラ3は、フラッシュメモリメモリFMRY-0~FMRY-19の制御信号MCE0N~MCE19N、MOENを発生するメモリ制御信号発生部40、ホスト側のデータバスD0~15をローカルバス側のデータバスMD0~6、MD7~14、PD0~19に切換える為のデータバス切換部41、ポーリング用データバスPD0~19の値に基づいてビジー信号BSYN信号を生成するビジー信号生成部、オートプログラムの終了判定用にライトデータ（フラッシュメモリの入出力端子I/O7への書き込みデータに対応されるビットD7、D15）を保存するライトデータ保存部43、及びそれらのコントロール信号を生成するコントロール部44で構成される。

13

【0034】上記メモリ制御信号生成部40は、図22に示される対応にしたがってチップイネーブル信号MC EON~MCE19Nを生成し、さらに、OENに基づいてアウトプットイネーブル信号MOENを生成する。

【0035】データバス切換部41は、図22に示される対応に基づいてホスト側のデータバスD0~15と、ローカルバス側のデータバスMD0~6, MD8~14, PD0~19との接続を切換える。即ち、データバスD0~6, D8~14をローカル側データバスMD0~6, MD8~14とどのように接続するか、そして、データバスD7, D15をローカル側データバスPD0~19とどのように接続するかを切換える。例えば、フラッシュメモリFMRY-0, FMRY-1に対するワードアクセスが指定されると、コマンド書き込み時にはデータバスD0~6はローカル側データバスMD0~6に、データバスD8~14はローカル側データバスMD8~14に接続され、且つ、D7はフラッシュメモリFMRY-0のデータ入出力端子PI/O0に結合されたバスPD0に接続され、D15はフラッシュメモリFMRY-1のデータ入出力端子PI/O0に結合されたバスPD1に接続される。例えばそのコマンドで指定される動作がオート系動作モードのとき、ボーリング中にはPD0, PD1はデータバスD7, D15から切り離されてビジー信号生成部42だけに供給される。

【0036】前記コントロール部44は、図3に示されるような状態遷移制御でカードコントローラ3の内部を制御する。図3にはオート系動作モードの場合が代表的に示されているが、7つの状態をフラッシュメモリに対するコマンドで遷移させるようにされ、カードコントローラ3の制御動作は、図21で説明したデバイス(フラッシュメモリ)の動作に対応されるようにされる。図3に示されないその他の動作モードについても同様の状態遷移制御が行われる。図2において45はボーリングスタートレジスタである。このボーリングスタートレジスタ45は、複数の消去対象ブロックアドレスを指定可能とされるオートブロックイレースにおいて、消去対象とされるブロックアドレスの書き込みが終了されたことを示す情報が外部から書き込み可能にされるレジスタである。

【0037】図4には上記ビジー信号生成部42の一例ブロック図が示される。このビジー信号生成部42は、オートコマンド(上記オート系動作モードを指示するコマンド)終了判定部50、及びビジーレジスタ部51によって構成される。

【0038】上記オートコマンド終了判定部50は、オートプログラムが指定されたとき、フラッシュメモリのデータ入出力端子PI/O7(PDバス)の値とライトデータ保存部43のライトデータを比較し、FLASHメモリの内部処理の終了を各フラッシュメモリ毎に判定する機能と、オートチップイレース、オートブロックイ

14

レースが指定されたとき、フラッシュメモリのデータ入出力端子PI/O7(PDバス)の値が“0”から

“1”になったことを検出することによってフラッシュメモリの内部処理の終了を各フラッシュメモリ毎に判定する機能を有する。即ち、オートコマンド終了判定部50は、データボーリング用データバスPD0~19の各ビットと、上記ライトデータ保存部43から供給されるデータビットとをビット対応で比較する比較回路COMP0~COMP19を有する。ライトデータ保存部43は、オートプログラム動作モードにおいては書き込みデータビットが格納される。その他のオート系動作モードにおいては論理“1”のようなハイレベルのデータが格納される。比較回路COMP0~COMP19はフラッシュメモリFMRY-0~FMRY-19に対応される。それらに対する比較動作は、アドレス信号A0, A20~A23によってチップ選択されるべきフラッシュメモリに対応されるものが、制御信号52によって指示される。比較動作が指示された全ての比較回路における比較結果の一致状態は、終了信号53によってコントロール部44に通知される。比較動作が指示された比較回路の出力は、上記2入力が入力一致するまでローレベルを維持する。比較動作が非選択の比較回路の出力は、特に制限されないが、高出力インピーダンス状態にされる。これら比較回路COMP0~COMP19の出力はビジーレジスタ部51に供給される。

【0039】上記ビジーレジスタ部51は、フラッシュメモリFMRY-0~FMRY-19の内部処理状態をフラッシュメモリ毎に各1ビットで表示するレジスタである。アクセス対象とされるフラッシュメモリにオート系コマンドがライトとされると、そのフラッシュメモリに対応されるビットが論理値“1”から論理値“0”とされ、ビジー状態を表示する。これは、コントロール部44からのコントロール信号で行われる。ビジーレジスタ部51の値は、ホスト側から読み出し可能とされ、ビジーレジスタ部51に割付けられたレジスタアドレスをリードすることによりバスD0~D7に出力される。また、ビジーレジスタ部51の各ビットの値は、負論理の論理和回路でビジー信号BSYNとされ、ホスト側へ出力される。

【0040】すなわち、上記ビジーレジスタ部51は、20個のフラッシュメモリに1ビットづつ対応される20ビットの構成とされる。ビジーレジスタ部51はコントロール部44からの信号54によって各ビットがプリセット可能にされる。また、当該レジスタ部51の各ビットの入力は上記比較回路COMP0~COMP19の出力に結合され、当該レジスタ部51の各ビットの出力は、反転されてノアゲート回路55に供給され、当該ノアゲート回路55の出力がビジー信号BSYNとされる。上記制御信号54は、アドレス信号A0, A20~A23によってチップ選択されるべきフラッシュメモリ

15

に対応されるビットに論理値"0"を、それ以外のビットに論理値"1"をプリセットする。したがって、ビジーレジスタ部51のプリセットが行われると、ビジー信号BSYNはローレベルにされる。これにより、メモリカードは外部に対してビジー状態であることを通知する。この状態は、その時アクセスされるフラッシュメモリがオート系コマンド動作を終了して所定の比較回路の出力が全て論理値"1"にされるまで維持される。ビジー信号BSYNの値は、フラッシュメモリの内部処理が終了すると、オートコマンド終了判定部50からの終了信号に基づいてビジー状態である論理値"0"からレディー状態である論理値"1"に変化される。尚、ビジーレジスタ部51の内容は、コントロール部44よりの出力制御信号56によってデータバスD0~D7に出力可能にされ、その内容を外部でモニタできるようになっている。

【0041】ここで、本実施例に係るメモリカードの全体的な動作を図1及び図2を参照しながら簡単に説明する。例えば、ホスト側からワードアクセスでフラッシュメモリFMR Y-0, FMR Y-1にコマンドがライトされる場合、D0~D7の偶数バイト側コマンドがデータバス切替部41でMD0~6(偶数バイト側コマンドデータバス)及びPD0(フラッシュメモリFMR Y-0用のボーリングデータバス)に供給され、D8~D15の奇数バイト側コマンドはデータバス切替部41でMD7~14(奇数バイト側コマンドデータバス)及びPD1(フラッシュメモリFMR Y-1用のボーリングデータバス)に供給され、これによってフラッシュメモリFMR Y-0(偶数バイト)とフラッシュメモリFMR Y-1(奇数バイト)に各々コマンドがライトされる。

【0042】このコマンドが自動書き込み(オートプログラム)、自動消去のオートチップイレース、自動消去のオートブロックイレースの場合、メモリ制御信号生成部40は、夫々のフラッシュメモリの端子PCENに向けてチップイネーブル信号MCE ON~MCE I 9Nを各別に出力すると共に、各フラッシュメモリの端子POENに向けてアウトプットイネーブル信号MOENを共通に発生し、データボーリング機能に応じた動作を開始する。すなわち、ビジー信号生成部42から出力されるビジー信号BSYNをローレベルとして、メモリカードのビジー状態をホスト側に通知する。これらの制御は、コントロール部44が、図21で説明した第1サイクルで外部から書き込まれるコマンド(ファースト・コマンド)と、第2サイクルで外部から書き込まれるコマンド(セカンド・コマンド)の値に基づいて行われる。その制御方式は、上述の様に図3の状態遷移図に示される状態をフラッシュメモリのコマンドに従って遷移させる方式とされ、フラッシュメモリの動作に追従若しくは対応するようにカードコントローラ3の制御動作が決定される。

16

【0043】図5にはメモリカードにオートチップイレースが指示された場合の状態遷移制御の一例が示される。特に同図には、ワードアクセスでフラッシュメモリFMR Y-0, FMR Y-1にオートチップイレースを指示するコマンドがライトされた場合が一例として示される。

【0044】最初にファースト・コマンドとして"30h"がライトされると、図3の状態遷移図における状態番号が待ち状態の"000"からオートチップイレースセットアップ状態の"001"に遷移される。次にセカンド・コマンドとして"30h"がライトされると状態番号が"001"からオートチップイレースボーリング状態"010"に遷移する。これによってビジー信号生成部42は、外部に対してビジー信号BSYNをローレベルのようなイネーブルレベルにアサートする。さらに、アクセス対象とされるフラッシュメモリFMR Y-0, FMR Y-1に対しては、それにおける上記ステータスボーリング機能に応じた動作を開始させるための仕様に準拠して、アウトプットイネーブル信号MOEN及びチップイネーブル信号MCE ON, MCE I 9Nをローレベルにアサートする。これによってフラッシュメモリは、そのデータ入出力端子PI/O7の出力がローレベル、その他のデータ入出力端子PI/O0~PI/O6が高出力インピーダンス状態にされる。この間、フラッシュメモリFMR Y-0, FMR Y-1は上記オートチップイレースコマンドに従ってチップ全体の消去及びベリファイが行われる。フラッシュメモリFMR Y-0, FMR Y-1のチップ全体の消去及びベリファイが終了されると、双方のフラッシュメモリFMR Y-0, FMR Y-1におけるデータ入出力端子PI/O7の出力がハイレベルに反転される。この状態は、データボーリング用データバスPD0, PD1を介してオートコマンド終了判定部50に伝達され、オートコマンド終了判定部50は、終了信号53によってオートチップイレースの終了をコントロール部44に通知する。コントロール部44は、その終了信号によって内部の制御状態をコマンド待ち状態に戻す。これによってメモリ制御信号生成部40はフラッシュメモリへの制御信号MOEN, MCE ON, MCE I 9Nをネゲートする。一方、ビジーレジスタ部51は上記オートコマンド終了判定部50の判定結果を受け、これによってビジー信号BSYNはハイレベルにネゲートされる。外部ではこれに基づいてオートチップイレースの終了を判断することができる。例えば、外部の図示しないホスト装置は、そのビジー信号BSYNのローレベルからハイレベルへの変化に同期してこれを割り込み要求として受けて処理を行うことができる。

【0045】図6にはフラッシュメモリFMR Y-0, FMR Y-1にワードアクセスでオートプログラムコマンドがライトされた場合の一例動作タイミングチャート

17

が示される。

【0046】外部より第1サイクルでコマンド"10H"がライトされ(1st-W)、第2サイクルでプログラムアドレス(PA)が供給されると共にプログラムデータ(PD)がライトされると(2nd-W)、外部よりの第2サイクルの指示の終了、即ち、ライトイネーブル信号WENの立上り(時刻T1)に同期して、ビジー信号BSYN信号がローレベルにされ、メモ리카ード1のフラッシュメモリが内部処理状態に入ったことを図示しない外部のホスト装置などに知らせるためのビジー状態にされる。このとき、ビジーレジスタ部51はフラッシュメモリ毎にビジー状態か否かを現す情報を保有しているため、図示しないホスト装置は、ビジーレジスタ部51の内容をリードすることによって、どのフラッシュメモリがビジー状態であるのかを確認することができる。次に、上記ライトイネーブル信号WENの立上りエッジから例えば最小限120ns(フラッシュメモリの仕様で規定される値)経過後に、書き込み対象とされるフラッシュメモリのチップイネーブル信号MCE0、MCE01Nと、アウトプットイネーブル信号MOENがアサートされ、フラッシュメモリFMR Y-0、FMR Y-1のデータポーリング機能に応じた動作が開始される。上記チップイネーブル信号MCE0N、MCE1Nの立下り後、例えば150ns経過するまではフラッシュメモリからのポーリングデータが確定しない。このため、オートコマンド終了判定部50は、当該150nsの時間が経過した後に、ポーリング用データバスPD0、PD1からの入力(ポーリングデータ)とライトデータ保存部43の保存ライトデータとの比較を開始する。ライトデータ保存部43の保存ライトデータとポーリングデータ(PD0、PD1上のデータ)が一致したときはオートプログラムが完了されたことになるので、オートコマンド終了判定部50はその状態を検出することによって、アクセス対象フラッシュメモリ(FMR Y-0、FMR Y-1)に対応されるビジーレジスタ部51の2ビットを論理値"0"から論理値"1"に変化させる。これによって、ビジー信号BSYNはローレベルからハイレベルに反転される。これによって図示しないホストシステムはメモ리카ード1でのオートプログラムの処理が終了したことを認識することができる。ここで言う保存ライトデータとは、T1で示されるエッジでラッチしたD7、D15のデータのことである。

【0047】図7にはフラッシュメモリFMR Y-0、FMR Y-1にワードアクセスでオートチップイレーズコマンドがライトされた場合の一例動作タイミングチャートが示される。図6に示されるオートプログラムとの動作の違いは、ポーリングデータの判定方法の違いだけである。すなわち、オートチップイレーズにおいて、フラッシュメモリのデータ入出力端子PI/O7から出力されるポーリングデータは、それが論理値"0"の場合

18

にはフラッシュメモリが内部処理中であることを示し、それが論理値"1"の場合には内部処理を終了したことを意味する。したがって、当該動作モードにおいてオートコマンド終了判定部50はこれを検出し、それが論理値"1"になったことを検出してビジーレジスタ部51の対応ビットを論理値"1"に反転させる。尚、その他のタイミングは図6と同じであるのでその詳細な説明については省略する。

【0048】図8にはフラッシュメモリFMR Y-0、FMR Y-1にワードアクセスでオートブロックイレーズコマンドがライトされた場合の一例動作タイミングチャートが示される。

【0049】前述の二つのオート系コマンドとの違いは、第2サイクルにおけるコマンドライトの後に、図示しないホスト装置からブロックアドレス(BA)が複数入力可能にされているため、データポーリングを開始するタイミングをカードコントローラ3内で一義的に決定できない点である。その為、コントロール部44には、ポーリングスタートレジスタ45が設けられ、ブロックアドレス入力サイクル(複数)が終了したら、図示しないホスト装置にこのポーリングスタートレジスタ45に論理値"1"のデータをライトしてもらい、これによってデータポーリングを開始するようにされる。具体的には、ポーリングスタートレジスタ45に対する上記ライト動作の終了(時刻T2におけるライトイネーブル信号WENの立上りエッジ)に同期してチップイネーブル信号MCE0N、MCE1Nをアサートし、フラッシュメモリのデータポーリング機能に応じた動作を開始させると共に、ビジー信号BSYNをローレベルにアサートする。フラッシュメモリの内部処理が終了したか否かの判定は、上記同様、チップイネーブル信号MCE0N、MCE1Nをアサートした後、150ns経過後に開始され、その判定手法はオートチップイレーズと同じであり、フラッシュメモリのデータ入出力端子PI/O7から供給されるポーリングデータの論理値"0"によって処理中であると判定し、論理値"1"で終了であると判定する。

【0050】図9にはオートブロックイレーズにおけるブロックアドレス入力時の誤動作防止を説明するためのタイミングチャートが示される。図9には第2サイクル以降に亘ってブロックアドレスが供給される状態が示される。第2サイクル以降にメモ리카ード1にブロックアドレスが供給されると、当該ブロックアドレスはアクセス対象フラッシュメモリにも供給される。このとき、フラッシュメモリの仕様においてデータ入力はドントケア即ち不問にされる。しかしながら、不問のデータバスからリセットコマンドに相当するようなコードがフラッシュメモリに供給されると、当該フラッシュメモリが不所望にリセットされる虞がある。そこで、ブロックアドレス入力時にそのような誤動作の虞を防止の為、図に示す

19

ようにローカルデータバス（偶数バイト側：PD0、MD0-6、奇数バイト側：PD1、MD8-14）に、カードコントローラ3で強制的にコードデータ“AAH”を入力して、不所望にリセットされたりしないようにされている。ここで、コードデータ“AAH”は、図21で説明したコマンドデータとしては一切採用されていないコードデータであり、実質的にノン・オペレーションを意味するようなコードデータとされる。

【0051】図10にはデータポーリング中に別のフラッシュメモリがリード可能にされることを示す動作概念が示される。同図においては、フラッシュメモリFMR Y-0、FMR Y-1がデータポーリング中に、フラッシュメモリFMR Y-2、FMR Y-3をメモリリードする場合が示される。すなわち、フラッシュメモリFMR Y-0、FMR Y-1から出力されるポーリングデータは、当該フラッシュメモリ固有のPD0、PD1を介し、ビジー信号生成部42に送られる。このときフラッシュメモリFMR Y-2、FMR Y-3がリードされると、PD2とMD0-6を介し偶数バイトのデータが、PD3とMD7-14を介し奇数バイトのデータが、D 20 0~D15に出力される。このようにデータポーリング中に他のフラッシュメモリからのリード動作を行うことができるのは、データポーリング用データバスPD0-19が各フラッシュメモリFMR Y-0~FMR Y-19のデータ入出力端子PI/O7毎に各別に設けられているからである。

【0052】図11にはフラッシュメモリのデータポーリング機能に応じた動作中におけるメモリカード1のリセット動作のタイミングチャートが示される。同図に従えば、フラッシュメモリFMR Y-0、FMR Y-1のデータポーリング機能に応じた動作中（オート系コマンドの実行中）に、メモリカード1に図示しないホスト側からカードリセット信号RESETPがアサートされると、ビジーレジスタ部51が初期化される。これによって、ビジー信号BSYNがハイレベルにされて、外部にはレディー状態（READY）が通知されると共に、フラッシュメモリにポーリング機能に応じた動作をさせるための信号MOEN、MCEON、MCE1Nがネゲートされ、フラッシュメモリのデータポーリング状態に応じた動作が強制終了される。この動作タイミングに従えば、カードリセット信号RESETPがアサートされると、カードコントローラ3が初期化され、これに応じてフラッシュメモリのポーリング状態も終了される。但し、フラッシュメモリにリセット端子が無い場合には、フラッシュメモリのデータポーリングを終了しても、フラッシュメモリの内部でのオート系コマンドに基づく処理は続行されており、フラッシュメモリの内部状態がビジー信号BSYN信号に反映されないことになる。

【0053】図12にはカードリセットされたときのビジー信号がフラッシュメモリの上記内部状態を反映する

20

ようにしたときの動作タイミングチャートが示される。即ち、データポーリング中にカードリセットが指示された場合には、コントロール部44は、ビジーレジスタ部51のリセットは行わず、ビジー信号BSYNによるデータポーリングを継続する。すなわち、リセット信号RESETPにてカードリセットが指示されても、ビジー信号BSYNのローレベルへのアサート状態を維持すると共に、フラッシュメモリへの制御信号MOEN、MCEON、MCE1Nをアサートしたままにしておく。これにより、カードリセットに同期してデータポーリング機能に応じた動作は終了されず、その時のオート系コマンドによるフラッシュメモリの内部処理が終了した時点で、ビジー信号BSYNがハイレベルにネゲートされてデータポーリングが終了される。

【0054】図13にはデータポーリング機能に応じた動作中に別のフラッシュメモリにオート系コマンドの実行を可能にする実施例が示される。すなわち、フラッシュメモリFMR Y-0~FMR Y-19毎にデバイス0制御部65-0~デバイス19制御部65-19を図2に示されるようなコントロール部44に付加したコントロール部64を採用し、メモリ制御信号生成部60をフラッシュメモリ毎に独立に制御するようにカードコントローラ3-1を構成する。その他の構成は図2と同一であり、図2に示されるものと同一機能の回路ブロックには、それと同一符号を付してその詳細な説明を省略する。上記デバイス0制御部65-0~デバイス19制御部65-19は、図3で説明した状態遷移制御をフラッシュメモリ毎に行うことができるようにされる。したがって、コントロール部64は、メモリ制御信号生成部60に、制御信号MCEON~MCE19Nと共にアウトプットイネーブル信号MOENを個々のフラッシュメモリの状態に応じて制御させる。

【0055】図14には図13において複数のフラッシュメモリに対して別々にオートチップイレーズコマンドを実行させる場合のタイミングチャートが示される。同図に従えば、ワードアクセスモードにおいてフラッシュメモリFMR Y-0、FMR Y-1がオートチップイレーズを行っている間に、フラッシュメモリFMR Y-2、FMR Y-3にオートチップイレーズコマンドをライトした場合に、フラッシュメモリFMR Y-0、FMR Y-1とフラッシュメモリFMR Y-2、FMR Y-3とが夫々独立に状態遷移制御される動作が示される。すなわち、フラッシュメモリFMR Y-0、FMR Y-1に対するオートチップイレーズコマンドがライトされると、デバイス0制御部65-0及びデバイス1制御部65-1がこれを判定する。そして、ビジー信号BSYNがローレベルにアサートされると共に、制御信号MOEN、MCEON、MCE1NによってフラッシュメモリFMR Y-0、FMR Y-1に対するデータポーリング機能に応じた動作が開始される。このとき、フラッ

21

メモリFMR Y-2, FMR Y-3に対するオートチップイレーズコマンドが外部からライトされると、当該コマンドはデバイス2制御部65-2及びデバイス3制御部65-3が認識する。これに基づいてメモリ制御信号生成部60は、フラッシュメモリFMR Y-0~FMR Y-19に共通のアウトプットイネーブル信号MOENをネゲートして、換言すれば現在データポーリング機能に応じた動作中のフラッシュメモリFMR Y-0, FMR Y-1における当該動作が中断されて、フラッシュメモリFMR Y-2, FMR Y-3に当該オートチップイレーズコマンドがライトされる。その後、アウトプットイネーブル信号MOEN, チップイネーブル信号MCEON~MCE3Nがアサートされ、フラッシュメモリFMR Y-0, FMR Y-1によるデータポーリング機能に応ずる動作が再開されると共に、フラッシュメモリFMR Y-2, FMR Y-3によるデータポーリング機能に応ずる動作が開始される。フラッシュメモリFMR Y-0, FMR Y-1によるオートチップイレーズの終了がそのデータ入出力端子P I/O7を介して判定されると、デバイス0制御部65-0及びデバイス1制御部65-1はコマンド待ち状態に遷移される。これに続いてフラッシュメモリFMR Y-2, FMR Y-3によるオートチップイレーズの終了がそのデータ入出力端子P I/O7を介して判定されると、デバイス0制御部65-2及びデバイス1制御部65-3はコマンド待ち状態に遷移される。これと共に、ビジー信号BSYNがハイレベルにネゲートされる。

【0056】図15には図14に示される動作中におけるローカルバス4の状態を更に詳細に示すタイミングチャートである。即ち、フラッシュメモリFMR Y-0, FMR Y-1と、フラッシュメモリFMR Y-2, FMR Y-3とによるデータポーリング機能に応じた動作が並列に行われ、夫々のデータ入出力端子P I/O7の出力であるポーリングデータは、各々独立にポーリング用データバスPD0, PD1と、ポーリング用データバスPD2, PD3を介してカードコントローラ3-1のオートコマンド終了判定部に送られる。これを受け、独立にデータポーリング状態の終了判定が行われ、制御信号MCE0, MCE1N, MCE2N, MCE3Nが夫々独立に制御される。ビジー信号BSYNの立下りタイミングは、最先の第2コマンドライトサイクル(2nd-W)の終了タイミングに同期され、その立上りタイミングは、フラッシュメモリの内部処理が最も遅く終了されたタイミングに同期される。尚、データポーリング機能に応じた動作中におけるコマンドライト時は、データポーリング用バスPD上でポーリングデータとコマンドが衝突するのを避けるため、若しくはフラッシュメモリへのコマンドライトを可能にするため、先に開始されているデータポーリング機能に応ずる動作が一時的に中断されている。

22

【0057】図16には別の実施例に係るフラッシュメモリカードのブロック図が示される。同図に示されるフラッシュメモリカード1-1は、上記実施例で説明したカードコントローラ3又は3-1の機能を有するカードコントローラ3-2、複数のフラッシュメモリFMR Y-0~FMR Y-19を含むローカルメモリ2、及びローカルバス4を備えた点は上記実施例と同様である。本実施例においては、フラッシュメモリに対する消去又は書き込みが必要とされる高電圧Vppがデータポーリング機能に応ずる動作中に遮断若しくは異常にレベル低下されたとき、誤動作を防止するために、高電圧Vpp降下検出回路70を設け、高電圧Vppの低下をカードコントローラ3-2に通知するようになっている。高電圧Vppがフラッシュメモリに必要な規定電圧を下回った場合、その状態は高電圧Vpp降下検出回路70が検出し、制御信号71によってカードコントローラ3-2に通知する。カードコントローラ3-2は、これを受け、図17に示されるように、フラッシュメモリにポーリングデータを出力させるための制御信号MOEN, MCEON, MCE1Nをネゲートし、データポーリング機能に応ずる動作を終了させる。このとき、フラッシュメモリも高電圧Vppの異常な電圧降下によって、異常な状態で内部処理を終了する。データポーリング中における高電圧Vppの異常な電圧降下、すなわちフラッシュメモリの内部処理中における高電圧Vppの許容外の低下は、フラッシュメモリカードの異常動作とみなせるため、図示しないホスト装置がこの状態を検出可能にするため、カードコントローラ3-2はビジー信号BSYNによるビジー状態を例えばカードリセットが指示されるまで維持するようになっている。図示しないホスト装置は、フラッシュメモリカードのビジー状態の期間が一定期間を越えてタイムオーバーしたことをウォッチドッグタイマなどで検出することによって、フラッシュメモリカード1-1にカードリセットを要する異常が発生したことを検出することができる。

【0058】図18には以上説明したフラッシュメモリカード1(1-1)が適用されたシステム構成例が示される。フラッシュメモリカード1(1-1)は、セントラル・プロセッシング・ユニット(CPU)80と共に、ランダム・アクセス・メモリ(RAM)81やリード・オンリ・メモリ(ROM)82が共通接続されるバス83に、インタフェース回路(I/F)84を介して接続される。この構成において、フラッシュメモリカード1(1-1)はホスト装置としてのCPU80がアクセスする。

【0059】上記実施例に寄れば以下の作用効果がある。

(1) メモリカードに内蔵されたフラッシュメモリFMR Y-0~FMR Y-19個々のステータスポーリング機能をカードコントローラ3(3-1)が統合制御する

23

から、上記フラッシュメモリのステータスポーリング機能をメモリカード自体のビジー状態又はレディー状態に置き換えて外部に通知することができる。したがって、メモリカード1(1-1)をアクセスするホスト装置が個々のフラッシュメモリを個別的にステータスポーリングする処理を不要とし、上記ビジー信号BSYNを割込み信号などとしてホスト装置が受けることによって、そのような処理からホスト装置が開放され、システムのスループットを向上させることができる。

(2) 各フラッシュメモリに固有のデータポーリング用信号線PD0~PD19を採用することにより、特定のフラッシュメモリがそのステータスポーリング機能に応じた動作中であっても、これに並行して、その他のフラッシュメモリに対するリード動作を可能にでき、メモリカードの使い勝手、更にはメモリカードを利用するシステムのスループットを向上させる。

(3) カードコントローラ3、3-1は、フラッシュメモリの動作態様を規定するコマンドデータの種別に応じた制御態様を状態遷移制御で生成する形式を有するので、コマンドデータに応じた不揮発性記憶装置のアクセス制御を簡単化することができる。即ち内蔵フラッシュメモリとの同期制御若しくは同期動作を容易に実現することができる。

(4) 夫々のフラッシュメモリに対して格別上記状態遷移制御を行う制御部を採用したカードコントローラ3-1を用いることにより、フラッシュメモリがそのステータスポーリング機能に応じた動作中に別のフラッシュメモリにコマンドデータがライトされて、相互に別々のコマンドデータで並列的に動作されるフラッシュメモリが夫々のステータスポーリング機能に応じた動作を並列的に行うときにも、夫々のステータスポーリング機能を簡単に統合することができる。

(5) メモリカードがそのデータポーリング機能に応じた動作を行っている途中、即ちビジー信号がビジー状態を示しているときにカードリセットの指示が与えられたとき、当該ビジー信号をレディー状態に強制することにより、ビジー状態の途中で動作途中のフラッシュメモリの誤動作を防止することができる。

(6) 書込み又は消去のための高電圧の不所望な低下を検出してカードコントローラ3、3-1に通知する検出回路70を設け、上記ビジー信号BSYNがビジー状態にされているとき上記カードコントローラが上記検出回路による高電圧の不所望な低下の通知を受けることにより、当該ビジー信号をレディー状態に強制することにより、ビジー状態の途中における消去又は書込み用高電圧の不所望な低下によるフラッシュメモリの誤動作を防止することができる。

(7) 複数回のアドレス入力によって消去対象メモリブロックの複数個指定が許容される形式で単数若しくは複数メモリブロック単位の一括消去動作が可能なフラッ

24

シュメモリが搭載されるとき、消去対象メモリブロックの指定アドレス入力終了されたことを示すポーリング開始データを外部から受けるレジスタを採用し、これによって、カードコントローラがその判断を行うことにより、消去対象メモリブロックの指定アドレスの供給終了をカードコントローラが確実に認識できるようになり、複数ブロック一括消去が可能なフラッシュメモリの消去機能を最大限に利用可能にすることができる。このことは、単一メモリブロック毎しか消去できないメモリカードに比べてメモリブロック単位での全体としての消去時間を短縮できる。この点においてもシステムのスループットを向上させることができる。

(8) さらに、消去対象メモリブロックの指定アドレス供給中に、フラッシュメモリのデータ入出力端子に、コマンドとして割当てられていないデータ"AAH"を供給することにより、複数回に亘る消去対象メモリブロックの指定アドレス入力中に不所望なコマンドデータがデータ入力として与えられることによって引き起こされる誤動作を未然に防止することができる。

【0060】以上本発明者によってなされた発明を実施例に基づいて具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。

【0061】例えば、不揮発性記憶装置はフラッシュメモリに限定されず、EEPROMであってもよい。またその数も20個に限定されず適宜変更可能である。また、カードインタフェースは上記実施例のJEIDAの規格に限定されない。さらに、フラッシュメモリの動作モードの種類更には各動作モードにおける動作の内容は上記実施例に限定されず種々の変形実施が可能である。

【0062】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記の通りである。

【0063】(1) 内蔵された不揮発性記憶装置個々のステータスポーリング機能をカードコントローラが統合制御することにより、内蔵不揮発性記憶装置のステータスポーリング機能をメモリカード自体のビジー状態又はレディー状態に置き換えて外部に通知することができる。これにより、メモリカードをアクセスするホスト装置が個々の不揮発性記憶装置を個別的にステータスポーリングする処理を不要とし、上記ビジー信号を割込み信号などとしてホスト装置が受けることによって、そのような処理からホスト装置が開放され、システムのスループットを向上させることができる。

(2) 各不揮発性記憶装置に固有のデータポーリング用信号線を採用することにより、特定の不揮発性記憶装置がそのステータスポーリング機能に応じた動作中であっても、これに並行して、その他の不揮発性記憶装置に対するリード動作を可能にするなど、メモリカードの使い

25

勝手、更にはメモリカードを利用するシステムのスループットを向上させることができる。

(3) カードコントローラによる不揮発性記憶装置に対する制御態様を状態遷移制御とすることにより、不揮発性記憶装置に対するアクセス制御を容易かできる。例えば、不揮発性記憶装置の動作に同期した制御が容易になる。

(4) ビジー状態でのカードリセットの指示に応じてビジー信号をレディー状態にすること、ビジー状態の途中で消去又は書き込み用高電圧が不所望に電圧低下したときにビジー信号をレディー状態にすること、また、消去対象メモリブロックの指定アドレス入力中に不揮発性記憶装置のコマンドに割当てられていないコードデータを当該不揮発性記憶装置のデータ入力として供給することは、メモリカードに内蔵された不揮発性記憶装置の誤動作防止に寄与することができる。

【図面の簡単な説明】

【図 1】本発明の一実施例に係るフラッシュメモリカードのブロック図である。

【図 2】図 1 に示されるカードコントローラの一例ブロック図である。

【図 3】コントロール部の状態遷移制御による制御の状態遷移図である。

【図 4】図 1 に示されるビジー信号生成部の一例ブロック図である。

【図 5】本実施例のメモリカードにオートチップイレーズが指示された場合の状態遷移制御の一例を示すタイミングチャートである。

【図 6】フラッシュメモリにワードアクセスでオートプログラムコマンドがライトされた場合の一例動作タイミングチャートである。

【図 7】フラッシュメモリにワードアクセスでオートチップイレーズコマンドがライトされた場合の一例動作タイミングチャートである。

【図 8】フラッシュメモリにワードアクセスでオートブロックイレーズコマンドがライトされた場合の一例動作タイミングチャートである。

【図 9】オートブロックイレーズにおけるブロックアドレス入力時の誤動作防止を説明するためのタイミングチャートである。

【図 10】データポーリング中に別のフラッシュメモリがリード可能にされることを示す動作概念を示す説明図である。

【図 11】データポーリング中におけるメモリカードのリセット動作の一例タイミングチャートである。

【図 12】カードリセットされたときのビジー信号がフラッシュメモリの内部状態を反映するようにしたときの動作タイミングチャートである。

【図 13】データポーリング中に別のフラッシュメモリにオート系コマンドの実行を可能にするカードコントロ

26

ーラのブロック図である。

【図 14】図 13 において複数のフラッシュメモリに対して別々にオートチップイレーズコマンドを実行させる場合の一例タイミングチャートである。

【図 15】図 14 に示される動作中におけるローカルバスの状態を更に詳細に示すタイミングチャートである。

【図 16】高電圧低下を検出する機能を有するフラッシュメモリカードのブロック図である。

【図 17】図 16 のフラッシュメモリカードの動作タイミングチャートである。

【図 18】本発明の実施例に係るフラッシュメモリカードが適用された一例システム構成のブロック図である。

【図 19】フラッシュメモリの外部端子構成を示す説明図である。

【図 20】フラッシュメモリの一例ブロック図である。

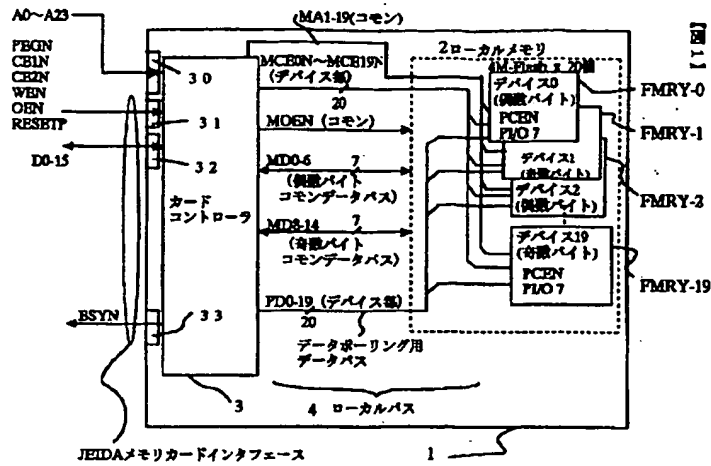
【図 21】フラッシュメモリのためのコマンドデータによって設定されるコマンドの種類及びその設定態様を示す説明図である。

【図 22】メモリカードに対する外部からのアクセス態様の一例を示す説明図である。

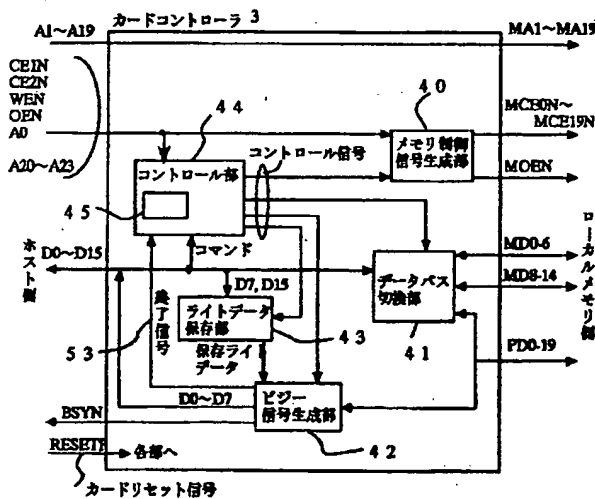
【符号の説明】

- 1 フラッシュメモリカード
- 2 ローカルメモリ
- 3 カードコントローラ
- 4 ローカルバス
- FMRY-0~FMRY-19 フラッシュメモリ
- PI/O0~PI/O7 データ入出力端子
- MD0-6 偶数バイト共通データバス
- MD8-14 奇数バイト共通データバス
- PD0-19 データポーリング用データバス
- 40 メモリ制御信号生成部
- 41 データバス切換え部
- 42 ビジー信号生成部
- BSYN ビジー信号
- 43 ライトデータ保存部
- 44 コントロール部
- 45 ポーリングスタートレジスタ
- RESETP カードリセット信号
- 50 オートコマンド終了判定部
- 51 ビジーレジスタ部
- 3-1 カードコントローラ
- 60 メモリ制御信号生成部
- 64 コントロール部
- 65-0~65-19 デバイス 0 制御部~デバイス 19 制御部
- 1-1 フラッシュメモリカード
- 3-2 カードコントローラ
- 70 高電圧 Vpp 降下検出回路
- Vpp 高電圧

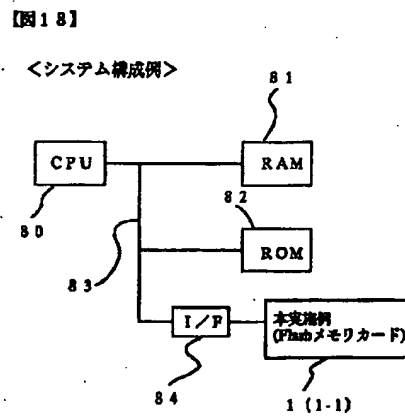
【図1】



【図2】



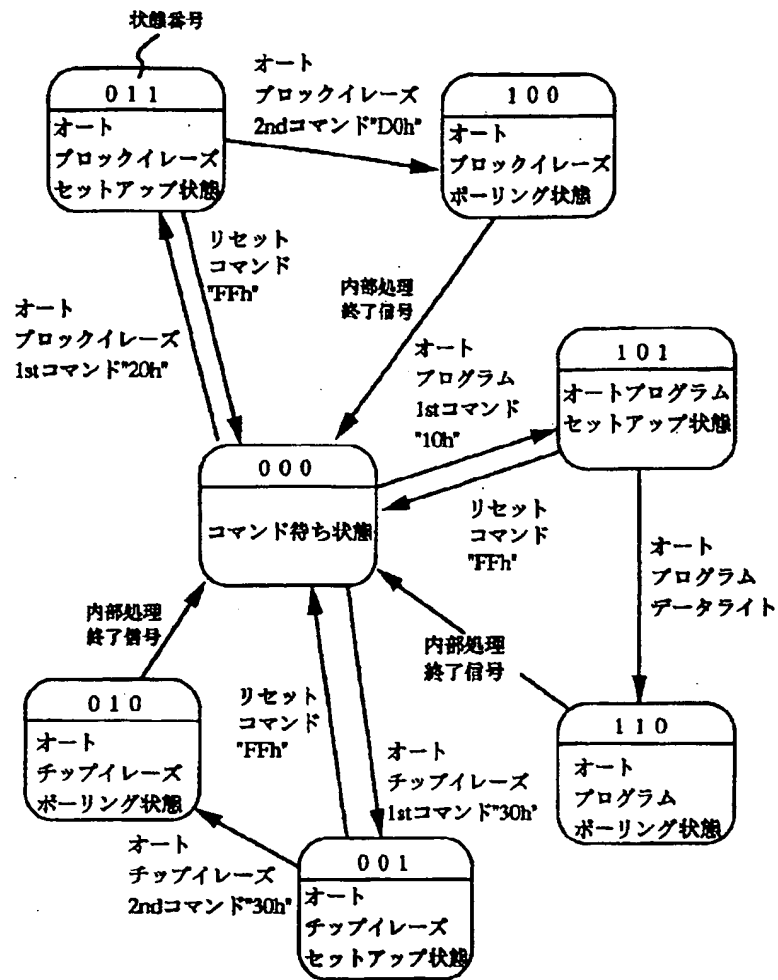
【図18】



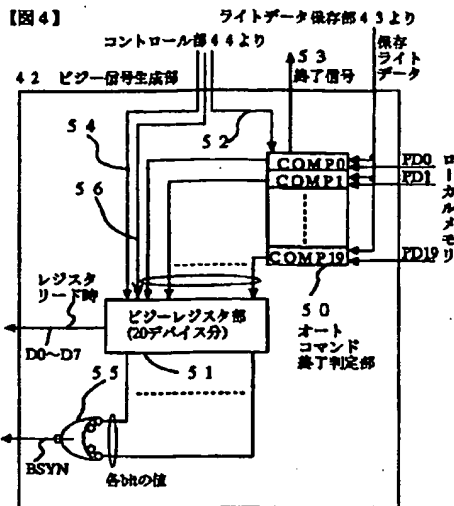
【図3】

【図3】

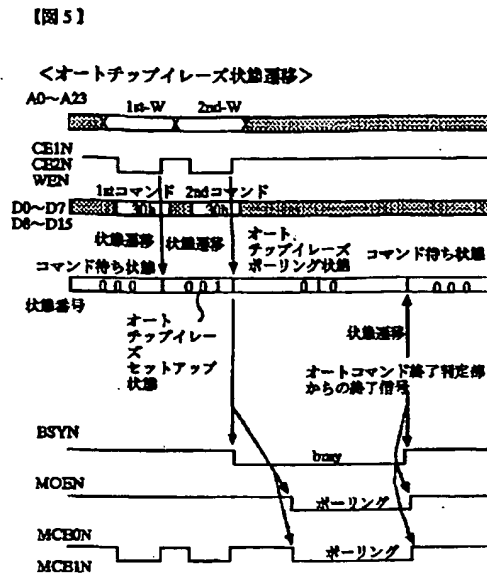
<状態遷移図>



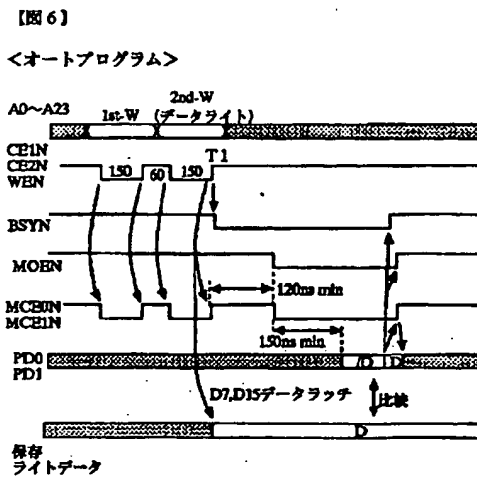
【図4】



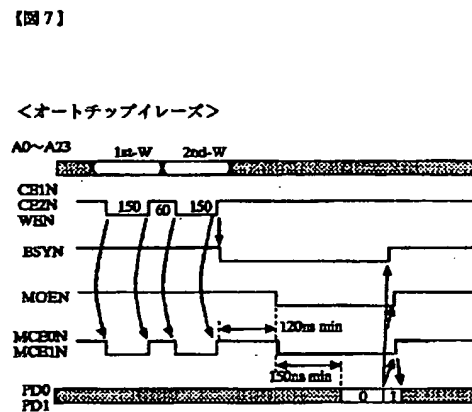
【図5】



【図6】



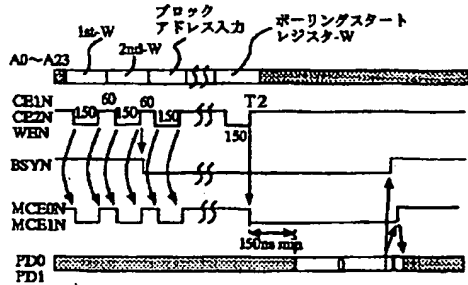
【図7】



【図8】

【図8】

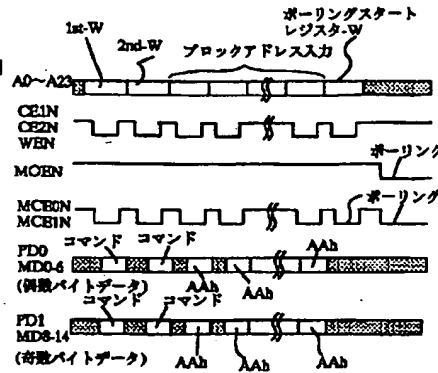
<オートブロックイレーズ>



【図9】

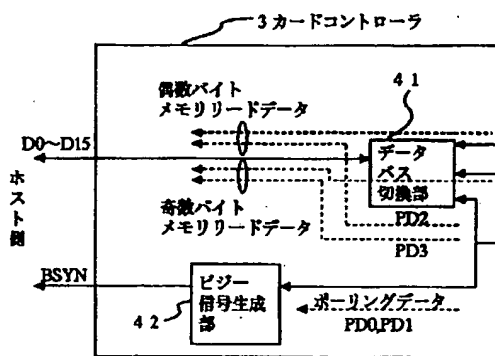
【図9】

<ブロックアドレス入力>



【図10】

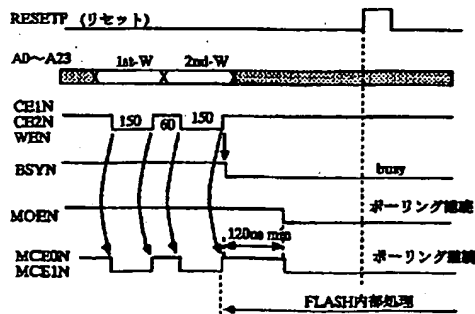
【図19】



【図12】

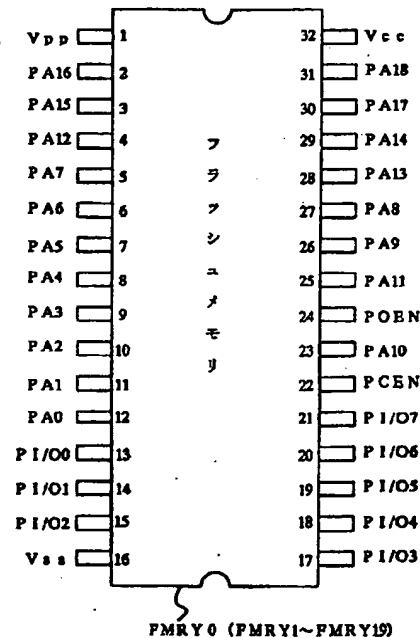
【図12】

<ポーリング中のカードリセット>



【図19】

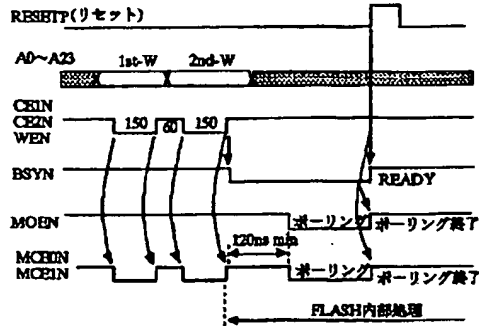
【図19】



【図11】

【図11】

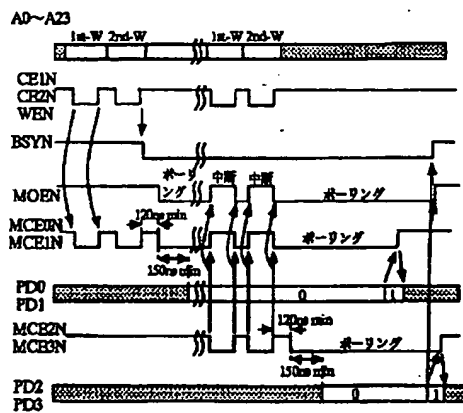
<ボーリング中のカードリセット>



【図15】

【図15】

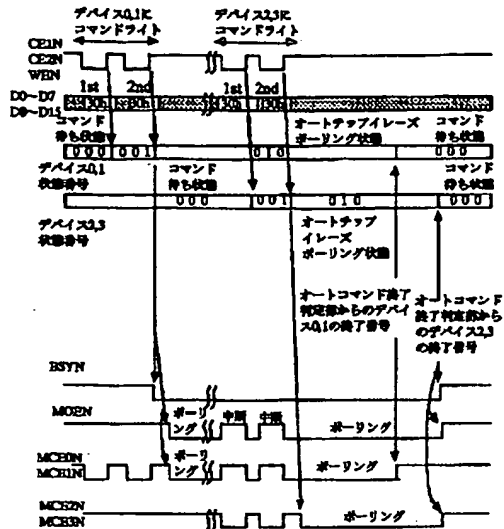
<複数デバイス同時オートチップイレーズ>



【図14】

【図14】

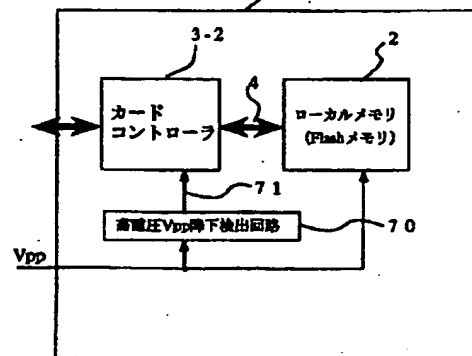
<複数デバイス同時オートチップイレーズ状態遷移>



【図16】

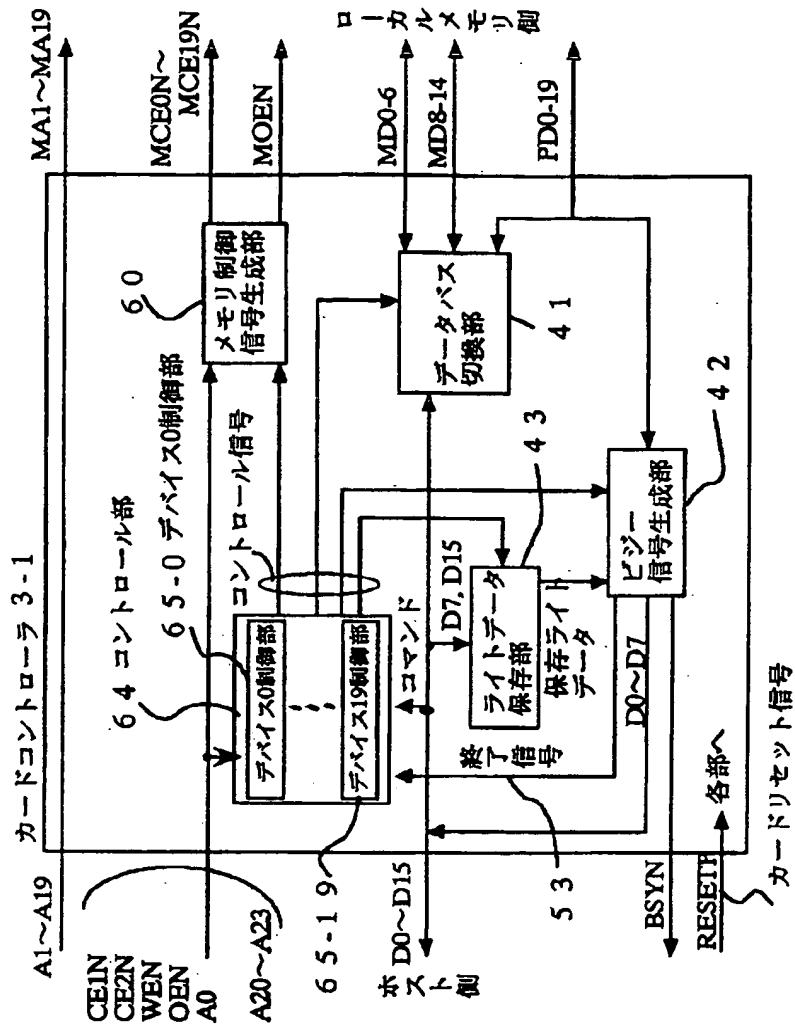
【図16】

フラッシュメモリカード 1-1

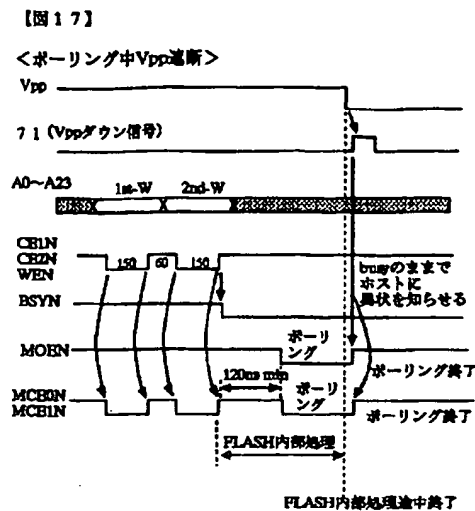


【図13】

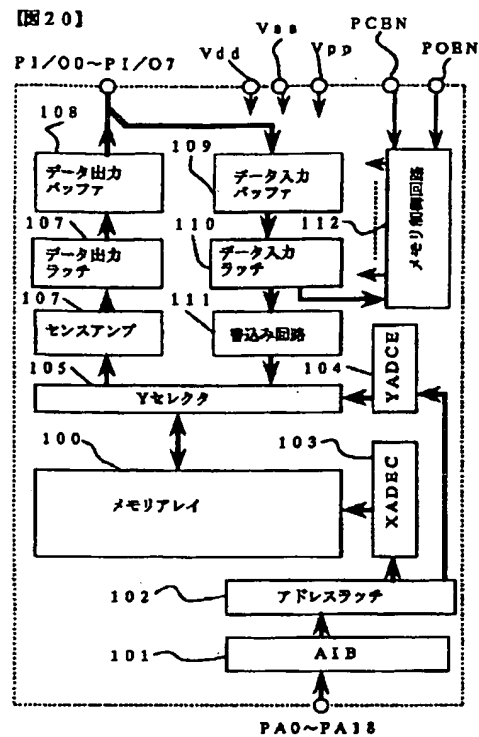
【図13】



【図17】



【図20】



【図21】

コマンドの種類	サイクル数	第一サイクル			第二サイクル		
		モード	アドレス	データ	モード	アドレス	データ
リードメモリ	1	ライト	/	00H	リード	/	Doat
リードID	2	ライト	/	90H	リード	1A	ID
チップイレーズ	2	ライト	/	20H	ライト	/	20H
ブロックイレーズ	2	ライト	/	60H	ライト	BA	60H
イレーズベリファイ	2	ライト	EVA	A0H	リード	/	BVD
オートチップイレーズ	2	ライト	/	30H	ライト	/	30H
オートブロックイレーズ	2	ライト	/	20H	ライト	BA	DOH
プログラム	2	ライト	/	40H	ライト	PA	PD
プログラムベリファイ	2	ライト	PVA	C0H	リード	/	PVD
オートプログラム	2	ライト	/	10H	ライト	PA	PD
リセット	1 or 2	ライト	/	FFH	ライト	/	FFH

【図21】

【図 22】

【図 22】

CE1N	CE2N	A0	
0	1	0	バイトアクセス (偶数バイト)
		1	バイトアクセス (奇数バイト)
0	0		ワードアクセス
1	0		奇数バイトアクセス

フロントページの続き

(72)発明者 大久保 京夫

東京都小平市上水本町 5 丁目 20 番 1 号 日
立超エル・エス・アイ・エンジニアリング
株式会社内

(72)発明者 菊池 隆

東京都小平市上水本町 5 丁目 20 番 1 号 日
立超エル・エス・アイ・エンジニアリング
株式会社内

(72)発明者 鈴木 猛

東京都小平市上水本町 5 丁目 20 番 1 号 日
立超エル・エス・アイ・エンジニアリング
株式会社内

(72)発明者 門脇 茂

東京都小平市上水本町 5 丁目 20 番 1 号 日
立超エル・エス・アイ・エンジニアリング
株式会社内

(72)発明者 岸 正道

東京都小平市上水本町 5 丁目 20 番 1 号 日
立超エル・エス・アイ・エンジニアリング
株式会社内

(72)発明者 菅野 利夫

東京都小平市上水本町 5 丁目 20 番 1 号 株
式会社日立製作所半導体事業部内

(72)発明者 岩崎 浩典

埼玉県入間郡毛呂山町大字旭台 15 番地 日
立東部セミコンダクタ株式会社内

(72)発明者 窪田 康郎

東京都小平市上水本町 5 丁目 20 番 1 号 日
立超エル・エス・アイ・エンジニアリング
株式会社内

(72)発明者 福田 宏

東京都小平市上水本町 5 丁目 20 番 1 号 日
立超エル・エス・アイ・エンジニアリング
株式会社内

JAPANESE LAID-OPEN PATENT APPLICATION
H7-93499 (1995)

(19) Japan Patent Office (JP)

(11) Publication No. H7-93499

(12) Published Unexamined Patent Application (A) (43) Publication Date April 7, 1995

(51) Int. Cl. ⁶	Identification Code	In-House Ref. No.	FI	Place of Technical Designation
----------------------------	---------------------	-------------------	----	--------------------------------

G 06 K 19/07

G 11 C 16/06

G 06 K 19/00 N

G 11 C 17/00 309 Z

No examination request

Number of claims 8 FD (totally 22 pages)

(21) Application No.

PA H5-256439

(22) Date of Filing

September 20, 1993 (Heisei 5)

(71) Applicant

000005108

Hitachi Co., Ltd.

4-6, Surugadai, Kanda, Chiyoda-ku

Tokyo

(71) Applicant

000233468

Hitachi VLSI Engineering Corp.

5-20-1, Kamimizumoto-cho

Kodaira-shi, Tokyo

(71) Applicant

000233527

Hitachi Tobu Semiconductor Co., Ltd.

15, Oji Asahidai, Moroyamamachi

Iruma-gun, Saitama-ken

(72) Inventor

Chikao OKUBO

Hitachi VLSI Engineering Corp.

5-20-1, Kamimizumoto-cho

Kodaira-shi, Tokyo

(72) Inventor

Takashi KIKUCHI

Hitachi VLSI Engineering Corp.

5-20-1, Kamimizumoto-cho

Kodaira-shi, Tokyo

(72) Inventor

Takeshi SUZUKI

Hitachi VLSI Engineering Corp.

5-20-1, Kamimizumoto-cho

Kodaira-shi, Tokyo

(72) Inventor

Shigeru KADOWAKI

Hitachi VLSI Engineering Corp.

5-20-1, Kamimizumoto-cho

Kodaira-shi, Tokyo

(72) Inventor

Masamichi KISHI

Hitachi VLSI Engineering Corp.

5-20-1, Kamimizumoto-cho

Kodaira-shi, Tokyo

(72) Inventor

Toshio KANNO

Semiconductor Buisiness Department

Hitachi Co., Ltd.

5-20-1, Kamimizumoto-cho

Kodaira-shi, Tokyo

(72) Inventor

Hironori IWASAKI

Hitachi Tobu Semiconductor Co., Ltd.

5-20-1, Kamimizumoto-cho

Kodaira-shi, Tokyo

(72) Inventor

Yasuro KUBOTA

Hitachi VLSI Engineering Corp.

5-20-1, Kamimizumoto-cho

Kodaira-shi, Tokyo

(72) Inventor

Hiroshi FUKUDA

Hitachi VLSI Engineering Corp.

5-20-1, Kamimizumoto-cho

Kodaira-shi, Tokyo

(74) Agent

Shizuyoshi TAMAMURA

(54) [Title of the Invention]

MEMORY CARD

(57) [Abstract]

[Purpose]

To realize a busy signal function in a memory card using flash memory with a data polling function.

[Construction]

In a memory card provided with multiple flash memory FMYR-0 – FMYR-19 having a status polling function which enables status polling by outputting information for reporting the completion of an automatic system operation such as auto-erasure, etc. from a first terminal PI/07, a card controller 3 is adopted which outputs a busy signal BSYN externally indicating a busy state synchronous with an external indication of the automatic system operation, and waits for a state in which the information for reporting the completion of the operation is output from the above first terminal of all flash memory indicated by the operation and changes the above busy signal to the ready state.

[Fig. 1] (p1, lower right)

(left side)

3 card controller
JEIDA memory card interface
MA1-19 (common)
MCE0N – MCE19N (each device)
MD0-6 (even-numbered byte common data buses)
MD8-14 (odd-numbered byte common data buses)
PD0 –19N (each device)
4 local buses (data polling data buses)

(right side)

2 local memory
4M-Flash x 20
FMYR-0
Device 0 (even-numbered byte common data bus)
FMYR-1
Device 1 (odd-numbered byte common data bus)
FMYR-2

Device 2 (even-numbered byte common data bus)

:

:

FMRY-19

Device 19 (odd-numbered byte common data bus)

[Claims]

[Claim 1]

A memory card having multiple card interface terminals, multiple non-volatile memory units that are electronically erasable and writable and are equipped with a first terminal outputting information for reporting the completion of prescribed operations based on an indication from the above card interface terminals and a card controller that selectively accesses and controls the above multiple non-volatile memory units according to the information provided via the above multiple card interface terminals, and is characterized by the fact that the above card controller has a busy signal forming component that outputs a busy signal indicating a busy state from the prescribed above card interface terminals synchronous with the indication of the prescribed operation to the above non-volatile memory units, waits for a state in which the information for reporting the completion of the prescribed operation is output from the above first terminal of all flash memory indicated by the operation and changes the above busy signal to a ready state.

[Claim 2]

A memory card having multiple card interface terminals, multiple non-volatile memory units that are electronically erasable and writable and are equipped with a first terminal outputting information for reporting the completion of a prescribed operation based on an indication from the above card interface terminals, local buses that contain multiple polling signal lines combined individually with the first terminal for each non-volatile memory unit and data buses common to the multiple non-volatile memory units combined with other data input/output terminals, and a card controller that selectively accesses and controls the above multiple non-volatile memory units according to the information given via the above multiple card interface terminals, and is characterized by the fact that the above card controller has a busy signal forming component that outputs a busy signal indicating a busy state from the prescribed above card interface terminals synchronous with the indication of the prescribed operation to the above non-volatile memory units, waits for the state that the information for reporting the completion of the prescribed operation from the above first terminal of all flash memory indicated by the operation and changes the above busy signal to a ready state, a device switch that cuts off the polling signal line corresponding to the non-volatile memory units, which is externally taken as the access target, from the card interface terminals for data input/output in response to the change of the busy signal to the busy state.

[Claim 3]

The memory card described in Claim 1 or 2, characterized by the fact that the above respective non-volatile memory units indicate their operations by command data given thereto and the above card controller forms a control mode corresponding to the kind of externally provided command data by a state transition control.

[Claim 4]

The memory card described in Claim 3, characterized by the fact that the above card controller has a control component for adopting state-transition control, especially for the respective non-volatile memory units.

[Claim 5]

The memory card described in Claim 1 or 2, characterized by the fact that the above card controller controls the busy signal forming component so that the busy signal is executed in the ready state to indicate a reset from the above card interface terminals when the busy signal forming component outputs a busy signal indicating a busy state.

[Claim 6]

The memory card described in Claim 1 or 2, wherein the memory card is further provided with a detection circuit that detects an undesirable drop of a high-voltage for erasure or writing of non-volatile memory units and is characterized by the fact that the busy signal is executed into the ready state by receiving a report of an undesirable drop of high-voltage made by the above detection circuit when the busy signal indicates the busy state.

[Claim 7]

The memory card described in Claim 1 or 2, characterized by the fact that the above non-volatile memory units indicate operation by means of provided command data, and include lump-sum erase operations in memory block units as indicatable operations and allows the assignment of multiple lump-sum erase target memory blocks by multiple times of address inputs in the indication of the erase operations, and the above card controller supplies unallotted data as commands to data input/output terminals of the non-volatile memory units when addresses for assigning the above erase target memory blocks are supplied to the non-volatile memory units being access target.

[Claim 8]

The memory card described in Claim 1 or 2, characterized by the fact that the above non-volatile memory units indicate their operations by provided command data, including lump-sum erase operations in memory block units as indicatable

operations and allows the assignment of multiple lump-sum erase target memory blocks by multiple times of address inputs in the indication of the erase operations, and the above card controller has a register that enables writing polling initialization data showing that the address input for assigning the above erase target memory blocks and outputs a busy signal by writing the above polling initialization data into the register.

[Detailed Description of the Invention]

[0001]

[Field of Industrial Application]

The present invention relates to a memory card loaded with multiple non-volatile memory which are electronically erasable and writable, e. g., a memory card using flash memory (also written as I/O card), and further relates to an effective technique applied to information processing system using the memory card.

[0002]

[Prior Art]

Like EEPROM, a flash memory enables performing erasure and writing electronically and constructs its memory cells with one transistor, and has the function of electronically erasing all the memory cells in a lump or blocks of memory cells in a lump. Therefore, flash memory enables rewriting the stored information in a state mounted in a system (on board), seeking to shortening the rewriting time by the lump-sum erase function as well contributing to a decrease of the chip occupied area.

[0003]

For example, a 4 MB flash memory of Hitachi Co., Ltd. (HN28F4001) is given as the flash memory. As described in a User's Manual published (month, year) from Hitachi Co., Ltd., the end of its operations can be externally confirmed during automatic writing and automatic erasure. For example, during auto-erasure, a specific data input/output terminal is kept to a low level until reaching the prescribed erased state by verifying it, and the terminal is given a high level by the erase completion. A microprocessor, etc. indicating the auto-erasure to the flash memory recognizes the end of the operation with reference to a signal.

[0004]

[Problems overcome by the invention]

The inventors studied a memory card made by loading multiple, such as flash memory, having the status polling function described above, and discovered that the following points must be considered in order to tell whether operations, such as auto-erasure, etc. externally indicated by the memory card are ended. Namely, a signal representing a ready state or a busy state of entire memory card must be formed from a signal output for the status polling function of individual non-volatile memory units. When a signal output terminal for the status polling function in the non-volatile memory units is also used with other terminals such as data input/output terminal, etc., there is a circuit or a logic for matching the interface specification of the memory card or the interface specification of the respective non-volatile memory units.

[0005]

One purpose of the present invention is to provide a memory card which enables integration of respective status polling functions of the multiple non-volatile memory units and externally reports a ready state and a busy state as the entire memory card. Another purpose of the present invention is to provide a memory card which is easily accessed and controlled for the built-in multiple non-volatile memory units. Still another purpose of the present invention is to provide a memory card which enables the prevention of malfunctions of built-in multiple non-volatile memory units.

[0006]

The aforementioned purposes as well as other purposes and new characteristics are clarified from the description of the Specification and attached drawings.

[0007]

[Problem resolution means]

An outline of typical memory card in the invention disclosed in this application is as follows if illustrated simply.

[0008]

(1) The present invention is a memory card having multiple non-volatile memory units that are electronically erasable and writable and has a function of outputting information for reporting the completion of prescribed operations such as auto-erasure or auto program operation in which the erasure or writing as well as verification are also automatically performed based on an external indication from a first terminal (also simply written as status polling function or data polling function hereafter) and a card controller that selectively accesses and controls the above multiple non-volatile memory units according to the externally provided information, and a card controller is adopted that outputs a busy

signal indicating a busy state to the external synchronous with the indication of the externally prescribed operations to the above non-volatile memory units, and waits for a state in which the information for reporting the completion of the prescribed operation from the above first terminal of all multiple non-volatile memory units indicates the operation and changes the above busy signal to the ready state.

(2) When the first terminal for the information output as the status polling function is also used as one of data input/output terminals in the multiple non-volatile memory units, the first terminal for the information output as the status polling function in the respective non-volatile memory units may also be combined with individual polling signal lines for each non-volatile memory unit in order to make other non-volatile memory units read accessible in a period that the above busy signal is in the busy state, i. e., the prescribed non-volatile memory units are in the prescribed operations such as auto-erasure. At this time, other data input/output terminals of the multiple non-volatile memory units are finished with connecting them to data buses common to the respective non-volatile memory units.

(3) When the operations of above respective non-volatile memory units are indicated by provided command data, a form of producing a control mode corresponding to the kind of the command data for specifying the operational mode of the non-volatile memory units may also be adopted in the card controller to simplify the access control of the multiple non-volatile memory units based on the card controller.

(4) When non-volatile memory units write command data into other non-volatile memory units in an operation corresponding to its status polling function and non-volatile memory units in parallel and operated by command data separated from each other and perform parallel operations corresponding to respective status polling functions, a control component performing a status-transition control especially for the respective non-volatile memory units may also be adopted in the above card controller in order for the respective status polling functions to be simply integrated.

(5) When a reset is indicated as part of the busy state, it is desirable that a busy signal be executed in the ready state to prevent the malfunction of the flash memory as part of the operation.

(6) In order to prevent the malfunction of the flash memory caused by an undesirable drop of a high voltage for the erasure or writing as part of the busy state, a detection circuit that detects an undesirable drop in the high-voltage and reports it to the above card controller may be provided, and the card controller may execute a busy signal in a ready state by receiving the report of the undesirable drop in the high-voltage given by the above detection circuit when the above busy signal is in the busy state.

(7) When the erase operation is enabled by the memory block units and non-volatile memory units of a form where the assignment of multiple erase target memory blocks is allowed by a plural number of address inputs, the supply end of assigned addresses of the erase target memory blocks, in other words, the erasure start of the multiple memory blocks made by the non-volatile memory units, is transmitted by a change in the signal, such as a chip enable signal supplied by

the non-volatile memory units. The card controller controls such a chip enable signal in the memory card. At this time, a register that receives polling start data showing that the assigned address input of the erase target memory blocks is ended may be adopted and thereby the card controller may make its judgment in order that the card controller can surely recognize the supply end of assigned addresses of the erase target memory blocks. In other words, it can surely recognize the erase operation start timing of the multiple memory blocks for the non-volatile memory units. At this time, the busy signal is output in the busy state according to the writing of the polling starting data into the register.

(8) When the erase operation is enabled by the memory block units and non-volatile memory units in a form where the assignment of multiple erase target memory blocks is allowed by plural address inputs, it is desired that the card controller supplies unallotted data as a command to the data input/output terminals of the non-volatile memory units in the supply of assigned addresses of the erase target memory blocks in order to prevent a malfunctions caused by undesirable command data given as data input into the assigned address inputs of the erase target memory blocks during the multiple inputs.

[0009]

[Functions]

Accordingly, the integrated control of individual start polling functions of the built-in non-volatile memory units by the card controller works in such a way that the start polling functions of the built-in non-volatile memory units are substituted in the busy state or the ready state of the memory card itself and externally reported. By such an action, a host system for accessing the memory card does not need the processing of individual start polling of the non-volatile memory units, and a host system is opened from such a processing and the throughput of system is improved by receiving the above busy signal as an allotted signal. The adoption of the data polling signal lines inherent in the non-volatile memory units enables a read operation for other non-volatile memory units in parallel thereto and even the specific non-volatile memory units are provided in an action corresponding to the start polling function, thus the use convenience of the memory card and further the throughput of a system using memory cards are improved. Access control for the non-volatile memory units is facilitated by adopting a control mode for the non-volatile memory units based on the card controller as the state-transition control. Moreover, malfunctions of the non-volatile memory units built-in in the memory card are prevented by making the busy signal to a ready state according to an indication of card reset in the busy state, making the busy signal to be a ready state when the high voltage for the erasure or writing reduces to an undesirable voltage as part of the busy state and supplies unallotted code data in the command of the non-volatile memory units into the assigned address input of the erase target memory blocks as data input of the non-volatile memory units.

[0010]

[Embodiment]

The block diagram of a flash memory card relating to one embodiment of the present invention is shown in Fig. 1. A flash memory card 1 (also simply written as memory card hereafter) shown in Fig. 1 is a JEIDA memory card (type 1), i. e., a memory card having an interface suited to a JEIDA memory card interface. The flash memory card 1 is provided with a local memory 2 and a card controller 3, and both are connected with a local bus 4 and constructed on a card substrate as a whole. The local memory 2 is not specially limited, but it is provided with 20 flash memory (HN28F4001) having a memory capacity of 4 MB made by Hitachi Co., Ltd. The flash memory are illustrated as FMRY-0 – FMRY-19 and also written as device 0 – device 19. The above card controller 3 controls the flash memory FMRY-0 – FMRY-19 from the external via the above interface suited to the above JEIDA.

[0011]

Here, the flash memory FMRY-0 – FMRY-19 identical to each other are illustrated first.

[0012]

The construction of external terminals of a flash memory FMRY-0 is shown in Fig. 19. The flash memory FMRY-0 shown in Fig. 19 has 8-bit data input/output terminals PI/O0 – PI/O7, 19-bit address input terminals PA0 – PA18, input terminals PCEN of low enable chip selection signal (also written as chip enable signal), input terminals POEN of low enable output enable signal, input terminals of power-supply voltage such as 5 V, input terminals of earth potential V_{ss} such as 0 V, and input terminals of high voltage V_{pp} such as 12 V. The flash memory FMRY-0 of Fig. 19 is shown in a packaged state, but an unpackaged one may also be adopted in response to the construction of the card substrate.

[0013]

The block diagram of the flash memory FMRY-0 is shown in Fig. 20.

[0014]

In Fig. 20, 100 is a memory array in which flash memory cells (also simply written as memory cells hereafter) constructed by a transistor of a two-layer gate structure with an insulating gate type electric field effect are arranged in a matrix. The control gates of the flash memory cells are connected to corresponding non-illustrated word lines, respectively, and the drains of the flash memory cells are connected to corresponding non-illustrated data lines, respectively and the sources of the flash memory cells are connected to a non-illustrated source line common to each memory block.

[0015]

The operation of writing information into the memory cells is realized, for example, by applying a high voltage to the control gates and drains and injecting electrons into floating gates from the drain side by the avalanche injection. The threshold voltage seen from the control gates of the flash memory cells becomes higher than the memory cells of the erased state in which the writing operation is not performed.

[0016]

On the other hand, the erase operation is realized, for example by applying a high voltage to the source and withdrawing electrons on the source side from the floating gates due to a tunnel phenomenon. The threshold voltage seen from the control gates of a memory transistor is reduced by the erase operation. The threshold voltage of the memory cell transistor is made to a positive voltage level in either the written or erased state. The threshold voltage in the written state is increased and the threshold voltage in the erased state is reduced with respect to a word line selection level given from the word lines to the control gates. The memory cells can be constructed by one transistor without adopting a selective transistor by having such a relationship between the both threshold voltage and the word line selection level.

[0017]

In a read operation, the voltage applied to the drains and the control gates are limited to a relatively low value so that a weak writing to the above flash memory cells, i. e., an undesirable carrier is not inserted into the floating gates. For example, a low voltage of about 1 V is applied to the drains and a low voltage of about 5 V is applied to the control gates. Logic values "0", "1" of information stored in the memory cells can be determined by detecting the magnitude of a channel current flowing through the memory cell transistor by the applied voltages.

[0018]

In Fig. 20, an address input buffer (AIB) 101 converts an address signal supplied from address input terminals PA0 - PA18 to an internally complementary address signal. The converted address signal is latched in an address latch circuit 102. An X address decoder and word driver (XADE) 103 decodes the X address signal latched in the address latch circuit 102, and the word lines are driven based on a selection signal, etc. obtained by decoding. The word driver drives the word lines by a voltage such as 5 V in the data read operation and drives the word lines by a high voltage such as 12 V in the data write operation. The output of the whole word driver is made to be a low voltage level such as 0 V in the erase operation of data. 104 is a Y address decoder (YADE) for decoding a Y address signal latched in the address latch circuit 102. 105 is a Y selector for selecting data lines according to an output selection signal of the Y address decoder. 106 is a sense amplifier for amplifying a read signal of the data lines selected by the Y selector 105 in the data read operation. 107 is a data output latch for keeping the output of the sense amplifier. 108 is a data buffer for outputting

the data held by the data output latch 107. 109 is a data input buffer for incorporating externally supplied write data or command data, etc. The write data or command data incorporated from the data input buffer 109 are held in a data input latch 110. The write circuit 111 supplies a high voltage to the data lines selected by the Y selector 105 for bit data corresponding to a logic value "0" among the write data held in the data input latch 110. The high voltage for writing is supplied to the drains of the memory cells in which the high voltage is applied to the control gates according to the X address signal, and the memory cells are written to thereby.

[0019]

The command data latched in the above data input latch 110 is supplied to a memory control circuit 112. The memory control circuit 112 receives the chip enable signal and the output enable signal supplied from terminals PCEN and POEN and controls various internal operations of the flash memory such as read, erase, write operations, etc. The memory control circuit 112 also supplies write data for write verification, etc.

[0020]

The operations of the flash memory FMRY-0 are decided by command data (also simply written as commands). The memory control circuit 112 has a non-illustrated command latch for latching the command data supplied from the data input latch 110 and a non-illustrated command latch for latching command data supplied from the data input latch 110 and a non-illustrated command decoder for forming control signals corresponding to various operation modes. An operating voltage needed for the operations such as read, erasure, write, etc. is supplied to parts according to the operation modes by the control of the memory control circuit 112.

[0021]

The kind of commands set up by the command data and their setup modes are shown in Fig. 21.

[0022]

Although the incorporation of the command data is not especially limited, it is basically carried out by two cycles, i.e., the first cycle and the second cycle. The item of modes shown in the cycles indicates which of write or read this cycle belongs to, the item of addresses indicates the kind of addresses supplied by the cycle, and the item of data indicates command data supplied by the cycle. The kinds of commands are not especially limited, but they are as follows.

(1) Read memory

Read memory is an operation mode for reading data from memory cells. Namely, if a command datum "00H" is written into a flash memory in the first cycle, a datum Dout to be read in the second cycle is output.

(2) Read ID

Read ID is an operation mode for reading a product identification code (ID). If a command datum "90H" is written in the first cycle, a product identification code ID is output from an address assigned by a product identification address IA in the second cycle.

[0023]

(3) Chip erasure

Chip erasure is an operation mode for erasing the whole chip in a lump. The operation mode is indicated by writing a command datum "20H" in the first cycle and writing a command datum "20H" in the second cycle.

(4) Block erasure

Block erasure is an operation mode for performing the erasure in block units. The erasure of the blocks is performed by writing a command datum "60H" in the first cycle, writing a command datum "60H" in the second cycle and supplying an address BA of erase target blocks.

(5) Erase verification

Erase verification is an operation mode for performing verification for the erasure. Namely, if a command datum "A0H" and a memory address to be verified are written in the first cycle, a data of the address (EVD) is read in the second cycle.

[0024] (6) Auto chip erasure

Auto chip erasure is an operation mode for automatically performing the erasure and verification for the whole chip. It is carried out by writing a command datum "30H" in the first cycle and a command datum "30H" in the second cycle. If this operation mode is assigned, the erasure operation is automatically carried out by the memory control circuit, therefore the erasure and verification made by an external control is not needed. If this automatic erasure is started, the end of the automatic erasure and verification can be confirmed externally by a status polling (also written as data polling). Namely, for example, if a low level-signal is output to the data input/output terminal PI/O7 in the erase and

verification operations and then the erase and verification operations are ended, the output of the terminal is inverted to a high level. At this time, other data input/output terminals I/O0 – I/O6 are made to a high-output impedance state.

(7) Auto block erasure

Auto block erasure is an operation mode where an assigned block is automatically erased and the verification for the erasure is automatically performed. This is carried out by writing a command datum "20H" in the first cycle, a command datum "20H" in the second cycle and supplying an address BA of the erase target block. If the operation mode is assigned, the erase and verification operations are automatically carried out by the memory control circuit, therefore the erasure and verification made by an external control is not needed. Similarly as the above, the end of the automatic erasure and verification can be externally confirmed by a status polling via the data input/output terminal PI/O7.

(8) Program

The program is an operation mode for performing writing, if a command datum "40H" is written in the first cycle, a write datum PD is written into memory cells assigned by a program address PA in the second cycle.

(9) Program verification

The program verification is an operation mode for performing verification for writing, if a command datum "COH" and a memory address to be verified are written in the first cycle, a datum PD of the address PVA is read in the second cycle.

[0025]

(10) Auto program

The auto program is an operation mode where the writing is automatically performed and the verification for the writing is performed automatically. This is carried out by writing a command datum "10H" in the first cycle and assigning a writing address and writing a datum PD in the second cycle. If this operation mode is assigned, the erase operation is automatically carried out by the memory control circuit, therefore the erasure and verification made by an external control is not needed. If this automatic writing is started, the end of the automatic write and verification operations can be externally confirmed by the status polling functions. Namely, for example, if an inversion level signal of corresponding bits of the write data is output to the data input/output terminals PI/O7 in the writing and verification operations and then the write and verification operations are ended, the output of the terminal is inverted to a level of corresponding bits of the write data. At this time, other data input/output terminals I/O0 – I/O6 are made to a high-output impedance state.

[0026]

(11) Reset

Reset is an operation mode for resetting the internal of the flash memory, and it is performed by writing a command datum "FFH" twice in the first and second cycles in case of resetting it after the first cycle of a program or an auto program, and writing the command datum "FFH" only once in case of resetting other states.

[0027]

As is evident from the explanation of above commands, the operations of the flash memory are decided by the contents of command data written in the above first cycle and, according to demand, the second cycle. Writing of the command data is started by chip selection of the flash memory based on a chip enable signal. In other words, command data are first incorporated into the flash memory by indicating a chip selection even if the writing of the command data is not indicated by a write signal such as a write-enable signal from the external. This is adopted as the first cycle. The necessity of a second cycle is determined by decoding the command data written in the first cycle with the memory control circuit. On account of such an operating specification, the flash memory adopted in this embodiment does not need a write-enable signal from the external as write indication signal. In the above operation modes, the output for data polling via data input/output terminals PI/O can be observed externally in a state that chip enable signals and output enable signals supplied via terminals PCEN and POEN of the flash memory are assorted, respectively in the operation modes auto chip erasure, auto block erase, auto program (simply auto operation modes hereafter).

[0028]

The memory interface of JEIDA in the memory card 1 relating to this embodiment is described hereafter, with reference to Fig. 1.

[0029]

Namely, it has multiple address input terminals 30 for inputting 24-bit address signals A0 – A23, multiple control terminals 31 for inputting low-enable 2-bit chip enable signals CE1N, CE2N, low-enable write enable signal WEN, low-enable output enable signal OEN, high-enable reset signal REGN, data input/output terminals 32 for inputting/outputting 16-bit data D0 – D15, and control terminals 33 for outputting low-enable busy signal BSYN.

[0030]

An example of external access modes to this memory card 1 is shown in Fig. 22. The access modes are decided by the above signals CE1N, CE2N and an address bit A0 and roughly divided into an access by a byte (8-bit) unit and an access by a word (16-bit) unit.

[0031]

The construction of the local buses 4 is described hereafter, with reference to Fig. 1.

[0032]

The above 20 flash memory FMRY-0 – FMRY-19 are alternately allotted to even-numbered bits (inferior 8 bits) and odd-numbered bits (superior 8 bits). Data input/output terminals PI/O0 – PI/O6 of respective flash memory allotted to odd-numbered bits (device 1, device 3,) are commonly connected to even-numbered command data buses MD0 – 6 (7-bit) for each corresponding bit. Similarly, data input/output terminals PI/O0 – PI/O6 of respective flash memory allotted to even-numbered bits (device 0, device 2,) are commonly connected to odd-numbered command data buses MD8 – 14 (7 bits) for each corresponding bit. The data input/output terminal PI/O7 of the flash memory FMRY-0 – FMRY-19 are individually connected to corresponding bit of the data polling data buses PD0–19 (20 bits) for each device (flash memory). These data polling data busses PD0–19 are also used for data polling in the auto operation modes. The address input terminals PA0 – PA18 of the respective flash memory FMRY-0 – FMRY-19 are joined with a 19-bit common address buses MA1-19. The chip selection for the flash memory FMRY-0 – FMRY-19 is individually made by 20-bit chip selection signals MCE0N – MCE19N. An output enable signal MOEN for the flash memory FMRY-0 – FMRY-19 is commonly supplied to the terminals POEN of the flash memory FMRY-0 – FMRY-19.

[0033]

A block diagram of an example of the above card controller 3 is shown in Fig. 2. The card controller 3 is constructed by a memory control signal generating component 40 for generating control signals MCE0N – MCE19N of the flash memory FMRY-0 – FMRY-19, MOEN, a data bus switch 41 for switching data buses D0-15 on the host side to data buses MD0-6, MD7-14, PD0-19 on the local bus side, a busy signal forming component 42 for forming a busy signal BSYN based on a value of polling data buses PD0-19, a write data storage component 43 for storing write data for determining the end of auto programs (bits D7, D15 corresponded to write data to input/output terminal I/O7 of the flash memory, and a control component 44 for forming these control signals.

[0034]

The above memory control signal generating component 40 forms the chip enable signals MCE0N – MCE19N according to the correspondence shown in Fig. 22 and further forming the output enable signal MOEN based on OEN.

[0035]

The data bus switch 41 switches the connection with the host side data buses D0-15 and the local side devices MD0-6, MD8-14, PD0-19 based on a correspondence shown in Fig. 22. Namely, the data buses D0-6, D8-14 are connected to the local side devices MD0-6, MD8-14 anyway or the data buses D7, D15 are connected to the local side devices PD0-19 anyway. For example, if a word access to the flash memory FMRY-0, FMRY-1 is assigned, the data buses D0-6 are connected to the local side devices MD0-6 and the data buses D8-14 are connected to the local side devices MD8-14, the D7 is connected to the bus PD0 joined with the data input/output terminal PI/O0 of the flash memory FMRY-0 and the D15 is connected to the bus PD1 joined with the data input/output terminal PI/O0 of the flash memory FMRY-1 in the command writing, etc. For example, when the operation assigned by that command is an auto operation mode, the PD0, PD1 are cut out of the data buses D7, D15 and supplied only to the busy signal forming component 42.

[0036]

The control component 44 controls the internal of the card controller 3 by a status-transition control as shown in Fig. 3. Although cases of auto operation modes are typically shown in Fig. 3, 7 states are transited by commands for the flash memory, and control operations of the card controller are corresponded to operations of the devices (flash memory) illustrated by Fig. 21. Similar state-transition controls are also adopted for other operation modes not shown in Fig. 3. 45 is a polling start register in Fig. 2. The polling start register 45 is a register which enables writing information showing the end of writing of block addresses taken as erase target in the auto block erasure where multiple erase target block addresses are taken to be assignable.

[0037]

The block diagram of an example of the busy signal forming component 42 is shown in Fig. 4. This busy signal forming component 42 is constructed by an auto command (commands indicating the above auto operation modes) end determination component 50 and a busy register 51.

[0038]

The above auto command end determination component 50 has a function which compares values of data input/output terminal PI/O7 (PD bus) of the flash memory and write data of the write data storage component 43 and determines the

end of internal processing of the flash memory for each flash memory when an auto program is assigned and has a function that determines the end of internal processing of the flash memory for each flash memory by detecting that the values of data input/output terminal PI/O7 (PD bus) of the flash memory become "1" from "0" when the auto chip erasure and the auto block erasure are assigned. Namely, the auto command end determination component 50 has bits of data buses PD0-19 for data polling and comparison circuits COMP0 – COMP19 for comparing data bits supplied from the above write data storage component 43 by bit correspondence. In the write data storage component 43, the write data bits are stored in the auto program operation mode. High-level data such as logic "1" are stored in other auto operation modes. The comparison circuits COMP0 – COMP19 are corresponded to the flash memory FMRY-0 – FMRY-19. Comparison operations for these correspond to flash memory for the chip selected by address signals A0, A20-23, but are indicated by a control signal 52. The coincidental state of comparison results in all the comparison circuits indicated by the comparison operations is reported to the control component 44 by an end signal 53. The output of comparison circuits indicated by the comparison operations maintains a low level until the above two inputs coincide. The outputs of comparison circuits for non-selective comparison operations is not especially limited, but it is made to a high-output impedance state. The outputs of these comparison circuits COMP0 – COMP19 are supplied to the busy register 51.

[0039]

The above busy register 51 is a register which expresses the internal processing state of the flash memory FMRY-0 – FMRY-19 by 1 bit for each flash memory. A busy state is expressed by taking an auto command in a flash memory taken as an access target as a write and taking the bit corresponding to this flash memory as a logic value "0" from a logic value "1". It is carried out by a control signal from the control component 44. The values of busy register 51 should be readable from the host side and are output to the buses D0 – D7 by reading register addresses allotted in the busy register 51. Moreover, the value of each bit of the busy register 51 is adopted as busy signal BSYN by a negatively logical logic sum circuit and output to the host side.

[0040]

Namely, the busy register 51 takes a 20-bit construction corresponding to 20 flash memory bit by bit. The busy register 51 enables presetting each bit by a signal from the control component 44. The input of each bit of the busy register 51 is combined with the output of the comparison circuits COMP0 – COMP19, and the output of each bit of the busy register 51 is inverted and supplied to a NOR gate circuit 55, and the output of the NOR gate circuit 55 is adopted as a busy signal BSYN. The above control signal 54 presets a logic value "0" to bits corresponding to flash memory to be a bit selected by the address signals A0, A20 – A23 and a logic value "1" to bits other than the above bits. Accordingly, if the preset of the busy register 51 is performed, the busy signal BSYN is made to a low level, it externally reports that the memory card is in a busy state. This state is maintained until the flash memory accessed at that time ends the auto command operations and all the outputs of the prescribed comparison circuits are made to the logic value "1". If the internal processing of the flash memory are ended, the value of busy signal BSYN is changed from the logic value "0"

being the busy state to the logic value "1" being the ready state based on an end signal from the auto command end determination component 50. Moreover, contents of the busy register 51 can be output to the data buses D0 – D7 by an output control signal 56 from the control component 44 and externally monitored.

[0041]

All of the operations of the flash memory relating to this embodiment are simply explained hereafter, with reference to Fig. 1 and Fig. 2. For example, when commands are written into the flash memory FMRY-0, FMRY-1 by word access from the host side, even-numbered byte side commands of D0 – D7 are supplied to MD0-6 (even-numbered byte side command buses) and PD0 (polling data bus for the flash memory FMRY-0) by the data bus switch 41 and odd-numbered byte side commands of D8 – D15 are supplied to MD7-14 (odd-numbered byte side command buses) and PD1 (polling data bus for the flash memory FMRY-1) by the data bus switch 41, thereby the respective commands are written into the flash memory FMRY-0 (even-numbered bytes) and the flash memory FMRY-1 (odd-numbered bytes).

[0042]

When these commands are auto write (auto program), auto chip erasure of auto-erasure and auto block erasure of auto-erasure, the memory signal forming component 40 individually outputs chip enable signals MCE0N – MCE19N to terminals PCEN of the flash memory, commonly generate an output enable signal MOEN to terminals POEN of each flash memory and starts operations corresponding to data polling functions. Namely, the busy signal BSYN output from the busy signal forming component 42 is made to a low level and the busy state of the memory card is reported to the host side. These controls are taken based on values of commands (second commands) written from the external in the second cycle. These control modes are taken as modes in which the states shown in the state-transition diagram of Fig. 3 as described above are transited according to the commands of the flash memory, and control operations of the card controller are decided so as to follow up or correspond to the operations of the flash memory.

[0043]

An example of the state-transition control in case of indicating the auto chip erasure in the memory card is shown in Fig. 5. Particularly, a case that commands for indicating the auto chip erasure are written into the flash memory FMRY-0, FMRY-1 by word access is shown as one example in Fig. 5.

[0044]

If "30h" is written as the first command at the beginning, the state number in the state-transition diagram of Fig. 3 is transited from "000" of a waiting state to "001" of an auto chip erase setup state. Next, if "30h" is written as the second command, the state number is transited from "001" to "010" of an auto chip erase polling state. Thereby, the busy signal

forming component 42 asserts the busy signal BSYN to an enable level, such as a low level to the external. Moreover, for the flash memory FMRY-0, FMRY-1, it asserts the output enable signal MOEN and the chip enable signals MCE0N, MCE1N to a low level according to a specification for starting operations corresponding to the above status polling functions therein. Hence, the output of data input/output terminal PI/O7 of the flash memory is made to a low level and the outputs of other data input/output terminal PI/O0 – PI/O6 are made to a high-output impedance state. Meanwhile, the erasure and verification of whole chip are carried out according to the above auto chip erasure in the flash memory FMRY-0, FMRY-1. If the erasure and verification of whole chip of the flash memory FMRY-0, FMRY-1 are ended, the output of the data input/output terminal PI/O7 in both the flash memory FMRY-0, FMRY-1 is inverted to a high level. This state is transmitted to auto command end determination component 50 via data polling data buses PD0, PD1, and the auto command end determination component 50 reports the end of the auto chip erasure to the control component 44 by an end signal 53. The control component 44 returns the internal controlled state to a command waiting state by that end signal. Thereby, the memory signal forming component 40 negates the control signal MOEN and chip enable signals MCE0N, MCE1N to the flash memory. On the other hand, the busy register 51 receives the determination result of the auto command end determination component 50, thereby the busy signal BSYN is negated to a high level, on the basis of which the end of the auto chip erasure can be externally judged. For example, a non-illustrated external host system can receive the results as an allotment demand synchronous to the change of the busy signal from a low level to a high level.

[0045]

An example of an operation timing chart in case that an auto program command is written in the flash memory FMRY-0, FMRY-1 by word access is shown in Fig. 6.

[0046]

If a command "10H" is written in the first cycle (1st-W) and a program data (PD) is written in the second cycle while externally supplying a program address (PA), a busy signal BSYN is made to a low level at the end of indication of the second cycle from the external, i. e., synchronous with the build-up of a write enable signal WEN (time T1) to become a busy state for telling a non-illustrated external host system, etc. that the flash memory of the memory card 1 comes into an internal processing state. At this time, the busy register 51 holds information showing whether it is the busy state for each flash memory, therefore the non-illustrated host system can confirm which flash memory is in the busy state by reading contents of the busy register 51. Next, after a lapse of e. g., minimum 120 ns (a value prescribed by a specification of flash memory) from the edge, chip enable signals MCE0N, MCE1N and an output enable signal MOEN are asserted and operations corresponding to data polling functions of the flash memory FMRY-0, FMRY-1 are started. After the build-up of above chip enable signals MCE0N, MCE1N, polling data from the flash memory are not ascertained until a lapse of e. g., 150 ns. Therefore, after a lapse of the time 150 ns, the auto command end determination component 50 starts a comparison of input from the polling data buses PD0, PD1 (polling data) stored write data of the

write data storage component 43. If the stored write data of the write data storage component 43 and the polling data (data on the PD0, PD1) are coincident, the auto program is completed, therefore two bits of the busy register 51 corresponding to the flash memory FMRY-0, FMRY-1 being access targets are changed from a logic value "0" to a logic value "1" by detecting the state of the auto command end determination component 50. Thereby, the busy signal BSYN is inverted from a low level to a high level. This enables recognizing that the processing of the auto program in the memory card is ended in the non-illustrated host system. The stored write data mentioned here are data of D7, D15 latched at the edge shown by T1.

[0047]

An example of an operation timing chart in case that an auto chip erase command is written in the flash memory FMRY-0, FMRY-1 by word access is shown in Fig. 7. A difference of operations from the auto program shown in Fig. 6 is only a difference of method of determining the polling data. Namely, the polling data output from the data input/output terminal PI/O7 of the flash memory show that the flash memory are in the internal processing in case of the logic value 0 and mean that the flash memory end the internal processing in case of the logic value 1. Therefore, the auto command end determination component 50 detects it in the operation mode and detects that the logic value becomes "1" to invert corresponding bits of the busy register 51 to the logic value "1". A detailed illustration is omitted because other events are same as Fig. 6.

[0048]

One example of an operation timing chart in case that an auto block erase command is written in the flash memory FMRY-0, FMRY-1 by word access is shown in Fig. 8.

[0049]

A difference from the afore-mentioned two auto commands lies in the fact that the timing for starting the data polling cannot be univocally determined in the card controller 3 because multiple block addresses (BA) can be input from the non-illustrated host system. Therefore, a polling start register 45 is provided in the control component 44, if block address input cycles (plural) are ended, the data of logic value "1" is written into this polling start register 45 in the non-illustrated host system, thereby the data polling is started. More specifically, the chip enable signals MCE0N, MCE1N are asserted synchronous with the end of above write operation (build-up edge of the chip enable signal WEN at a time T2) for the polling start register 45, the operation corresponding to the data polling function of the flash memory is started and the busy signal BSYN is asserted to a low level. Similarly as above, the chip enable signals MCE0N, MCE1N are asserted, then a determination of whether the internal processing of the flash memory is ended is started after a lapse of 150 ns, the determination technique is same as the auto chip erasure, the processing is determined to be in

progress by the logic value "0" of the polling data supplied from the data input/output terminal PI/O7 of the flash memory and determined to be ended by the logic value "1".

[0050]

A timing chart for illustrating the prevention of malfunctions during the block address input in the auto block erasure is shown in Fig. 9. A state that block addresses are supplied throughout the second cycle or after is shown in Fig. 9. If the block addresses are supplied to the memory card 1 from the second cycle on, the block addresses are also supplied to access target flash memory. At this time, the data input is not cared, i. e., disregarded in the specification of flash memory. However, if such codes corresponding to reset commands are supplied from the disregarded data buses to the flash memory, it is feared that the flash memory are undesirably reset. Accordingly, as shown in Fig. 9, a code data "AAH" is coercively input into local data buses (even-numbered byte side: PD0, MD0-6, odd-numbered byte side: PD1, MD8-14) by the card controller 3 so as not to be undesirably reset for preventing the fear of such malfunctions during the block address input. Here, the code data "AAH" are all code data which are not adopted as the command data illustrated by Fig. 21, and they are essentially taken as such code data meaning non-operation.

[0051]

The operational concept shows that other flash memory are made readable in the data polling. In Fig. 10, cases that the flash memory FMRY-0, FMRY-1 are in data polling and the flash memory FMRY-2, FMRY-3 are memory read are shown. Namely, the polling data output from the flash memory FMRY-0, FMRY-1 are sent to the busy signal forming component 42 via PD0, PD1 inherent in the flash memory. At this time, if the flash memory FMRY-2 FMRY-3 are read, the even-numbered data are output via the PD2 and MD0-6 and the odd-numbered data are output via the PD3 and MD7-14. Thus, the read operation from other flash memory can be performed in the data polling because the data polling data buses PD0-19 are individually provided for each data input/output terminal PI/O7 in the flash memory FMRY-0 - FMRY-19.

[0052]

A timing chart of reset operation of the memory card 1 in operations corresponding to the data polling functions of the flash memory is shown in Fig. 11. By the same chart, if a card reset signal RESETP is asserted from the host side non-illustrated in the memory card 1 in the operations corresponding to the data polling functions of the flash memory FMRY-0 - FMRY-1, the busy register 51 is initiated. Thereby, the busy signal BSYN is made to be a high level and a ready state is externally reported, the signals MOEN, MCE0N, MCE1N for performing operations corresponding to the polling function are negated in the flash memory, and the operations corresponding to the data polling state of the flash memory are forceably ended. By this operation timing, if the card reset signal RESETP is asserted, the card controller is initiated, and the polling state of the flash memory is also ended corresponding. However, in case of no reset terminal in

the flash memory, the processing is continuously performed based on auto commands inside the flash memory and the internal state of the flash memory is not reflected by the busy signal BSYN even if the data polling of the flash memory is ended.

[0053]

An operation timing chart when the busy signal at the time of card reset reflects the above internal state of the flash memory is shown in Fig. 12. In other words, when the card reset is indicated in the data polling, the controller 44 does not perform the reset of the busy register 51 and continues the data polling based on the busy signal BSYN. Namely, the state of asserting the busy signal BSYN to a low level is maintained and the control signals MOEN, MCE0N, MCE1N to the flash memory are asserted as they are even if the card reset is indicated by the reset signal RESETP. Thereby, the operation corresponding to the polling function is not ended synchronous with the card reset, and the busy signal NSYN is negated to a high level to end the data polling at a time that the internal processing of the flash memory based on the auto commands at that time.

[0054]

An embodiment which enables the execution of auto commands in other flash memory during operations corresponding to data polling functions. A control component 64 given by adding device 0 control component 65-0 - device 19 control component 65-19 to the control component 44 as shown in Fig. 2 is adopted for each of flash memory FMRY-0 - FMRY-19, and the card controller 3-1 is constructed so that a memory control signal forming component 60 is separately controlled for each flash memory. The other constructions are same as Fig. 2, and symbols same as Fig. 2 are attached to circuit blocks of same functions as those shown in Fig. 2 to omit their detailed description. In the above device 0 control component 65-0 - device 19 control component 65-19, the state-transition control as shown in Fig. 3 can be taken for each flash memory. Accordingly, the output enable signal MOEN in the control component 64 are controlled according to the state of individual flash memory along with the control signals MCE0N - MCE19N in the memory control signal forming component 60.

[0055]

A timing chart in case that an auto chip erase command is executed separately for multiple flash memory Fig. 13 is shown in Fig. 14. According to Fig. 14, when the flash memory FMRY-0, FMRY-1 perform the auto chip erase command in the word access mode and meanwhile the flash memory FMRY-2, FMRY-3 write the auto chip erase command, the FMRY-0, FMRY-1 and FMRY-2, FMRY-3 show operations which are state-transition controlled separately. Namely, if the auto chip erase command for the flash memory FMRY-0, FMRY-1 is written, the device 0 control component 65-0 and device 1 control component 65-1 determine it. Then, the busy signal is applied at a low

level and operations corresponding to the data polling function for the flash memory FMRY-0, FMRY-1 is started by the control signals MOEN, MCE0N, MCE1N. At this time, if the auto chip erase command for the flash memory FMRY-2, FMRY-3 is written from the external, the device 2 control component 65-2 and device 3 control component 65-3 recognizes the command. The memory control signal forming component 60 negates the output enable signal MOEN common to the flash memory FMRY-0, FMRY-1, in other words, the operation in the flash memory FMRY-0, FMRY-1 in an operation corresponding to the current polling function is interrupted, and the auto chip erase command is written into the flash memory FMRY-2, FMRY-3. Subsequently, the output enable signal MOEN and the chip enable signals MCE0N – MCE3N are applied, the operation corresponding to the data polling function based on the flash memory FMRY-0, FMRY-1 is restarted and the operation corresponding to the data polling function based on the flash memory FMRY-2, FMRY-3 is started. If the end of the auto chip erasure based on the flash memory FMRY-0, FMRY-1 is determined via the data input/output terminal PI/O7, the device 0 control component 65-0 and device 1 control component 65-1 are transited to the command waiting state. Successively, if the end of the auto chip erasure based on the flash memory FMRY-2, FMRY-3 is determined via the data input/output terminal PI/O7, the device 2 control component 65-2 and device 3 control component 65-3 are transited to the command waiting state, and a busy signal BSNY is negated therewith.

[0056]

Fig. 15 is a timing chart showing the state of the local bus 4 during the operation shown in Fig. 14 in more detail. Namely, the operations corresponding the data polling functions based on the flash memory FMRY-0, FMRY-1 and the flash memory FMRY-2, FMRY-3 are performed in parallel, and respective polling data being the outputs of the data input/output terminal PI/O7 are sent to the auto command end determination component of the card controller 3-1 via the polling data buses PD0, PD1 and the polling data buses PD2, PD3, respectively and separately. The card controller 3-1 receives the data, makes the end determination of the data polling functions separately and controls the control signals MOEN, MCE0N, MCE1N, MCE2N, MCE3N controlled respectively and separately. The build-up timing of the busy signal BSNY is synchronized with the end timing of the earliest second command cycle (2nd-W), and that build-up timing is synchronized with the timing when the internal processing of the flash memory is ended. Moreover, the operations corresponding to the data polling functions started earlier are temporarily interrupted to avoid the collision of the polling data and command on polling data buses PD or enable the command writing into the flash memory at the time of command writing during the operations corresponding to the data polling functions.

[0057]

A block diagram of the flash memory card relating to still another embodiment of the present invention is shown in Fig. 16. This is same as the above embodiments in that a flash memory card 1-1 is provided with a card controller 3-2 having the functions of the card controller 3 or 3-1 illustrated by the above embodiments, a local memory 2 containing multiple flash memory FMRY-0 - FMRY-19 and local buses 4. In this embodiment, when a high voltage V_{pp} needed to do erasure

or writing for flash memory is cut off or abnormally reduced to a low level during operations corresponding to data polling functions, a high voltage V_{pp} drop detection circuit 70 is provided and the drop of high voltage V_{pp} is reported to the card controller 3-2 in order to avoid malfunctions. When the high voltage V_{pp} is lower than a prescribed voltage necessary for the flash memory, the voltage V_{pp} drop detection circuit 70 detects this state and reports it to the card controller 3-2 by a control signal 71. The card controller 3-2 receives it and, as shown in Fig. 17, negates the control signals MOEN, MCE0N, MCE1N for outputting polling data to the flash memory. At this time, the flash memory ends the internal processing in an abnormal state due to the abnormal voltage drop of the high voltage V_{pp} . The abnormal voltage drop of the high voltage V_{pp} in the data polling, i. e., the unallowable drop of the high voltage V_{pp} in the internal processing of the flash memory is regarded as an abnormal operation of the flash memory card and the non-illustrated host system can detect this state, therefore the card controller 3-2 maintains the busy state based on the busy signal BSYN, e. g., until a card reset is indicated. The non-illustrated host system can detect that an abnormality requiring the card reset occurs in the flash memory card 1-1 by detecting that the period of busy state of the flash memory card is more than a predetermined period to accomplish a time over with a watchdog timer, etc.

[0058]

A system construction example applied with the flash memory card 1 (1-1) illustrated above is shown in Fig. 18. The flash memory card 1 (1-1) is connected to a bus 83 by which, the a central processing unit (CPU) 80, a random access memory (RAM) 81 and a read only memory (ROM) are commonly connected via an interface circuit (I/F) 84. In this construction, the CPU as a host system accesses to the flash memory card 1 (1-1).

[0059]

According to the above embodiment, there are the following working effects.

(1) Since the card controller 3 (3-1) integrally controls individual status polling functions of the flash memory FMRY-0 - FMRY-19 built-in in the memory card, the status polling functions of the flash memory can be substituted into the busy state or the ready state of the memory card itself and reported to the external. Accordingly, the host system for accessing the memory card 1 (1-1) does not need an individual status polling processing of the individual flash memory, the host system is opened from such a processing by receiving the above busy signal BSYN as an allotment signal, thus the throughput of system can be improved.

(2) By adopting the data polling signal lines PD0 - PD19 inherent in the flash memory, even if a specific flash memory is in an operation corresponding to its status polling function, a read operation for other flash memory is enabled parallel thereto, etc., thus the use convenience of the memory card and further the throughput of system using the memory card can be improved.

(3) The card controller 3 (3-1) has a form of producing a control mode corresponding to the kind of command data specifying operation modes of the flash memory by the state-transition control, therefore the access control of a non-volatile memory device corresponding to the command data can be simplified. Namely, a synchronous control or a synchronous operation with the built-in flash memory can be easily realized.

(4) By using the card controller 3-1 in which a control component for performing the above state-transition control especially for the respective flash memory is adopted, command data are written into other flash memory during an operation of a flash memory according to its status polling function, and flash memory which are in parallel operated by command data separated from each other can simply integrate respective status polling functions even when the respective operations corresponding to the status polling functions are performed in parallel.

(5) When the memory card is as part of performing operations corresponding to the data polling functions, i. e., when a busy signal shows the busy state or an indication of card reset is given, malfunctions of the flash memory during the operations as part of busy state can be prevented by enforcing the busy signal in a ready state.

(6) The malfunctions of the flash memory due to an undesirable drop of a high voltage for erasure or writing as part of the busy state can be prevented by providing a detection circuit 70 for detecting the undesirable drop of a high voltage for writing or erasure, receiving the undesirable drop of high voltage based on the above detection circuit by the above card controller when the above busy signal is in the busy state and enforcing the busy signal in the ready state.

(7) When flash memory capable of performing lump-sum erase operations of single or plural memory block units are loaded in the form of allowing the assignment of multiple erase target memory blocks by multiple times of address inputs, a register which receive polling start data showing the end of assigned address inputs of the erase target memory blocks from the external is adopted, thereby the card controller can surely recognize the supply end of assigned addresses of the erase target memory blocks and use the erase function of the flash memory capable of the lump-sum erasure of multiple blocks to the maximum. This can shorten the erase time as a whole by the memory block units as compared with a memory card which can only erase each single memory block. The throughput of system can also be improved in this point.

(8) Moreover, malfunctions caused by giving undesirable command data into the assigned address inputs of the erase target memory blocks as data input throughout multiple times can be prevented by supplying an unallotted data "AAH" as command to the data input/output terminal of the flash memory during the supply of the assigned address supply of the erase target memory blocks.

[0060]

The invention made by the inventors is specifically illustrated based on the embodiments, but the present invention is not limited to the examples, and various modifications can be made in a range where there is no deviation from the substance of the present invention.

[0061]

For example, the non-volatile memory units are not limited to the flash memory and may also be EEPROM. Their number is also not limited to 20 and can be properly changed. Moreover, the card interface is not limited to the specification of JEIDA of above embodiments. Furthermore, the kind of operation modes of the flash memory and contents of operations in the operation modes are not limited to the above embodiments, and the embodiment of various modifications is possible.

[0062]

[Efficacy of the Invention]

Effects obtained by typical inventions disclosed in this application are briefly described as follows:

[0063]

(1) The status polling functions of built-in non-volatile memory units can be substituted into the busy state or the ready state of a memory card itself and reported to the external by integrally controlling individual status polling functions of the built-in non-volatile memory units by the card controller. Thereby, the host system for accessing the memory card does not need individual status polling processing of individual non-volatile memory units, the host system is opened from such processing by receiving the above busy signal as allotment signal, etc., thus the throughput of system can be improved.

(2) By adopting the data polling signal lines inherent in the non-volatile memory units, even if a specific non-volatile memory device is in an operation corresponding to its status polling function, a read operation for other non-volatile memory units is enabled in parallel thereto, etc., thus the use convenience of the memory card and further the throughput of system using the memory card can be improved.

(3) The access control for non-volatile memory units can be easily made by adopting the control mode for the non-volatile memory units based on the card controller as the state-transition control. For example, a control synchronized with operations of the non-volatile memory units becomes easy.

(4) A contribution can be made to preventing malfunctions of the non-volatile memory units built-in in the memory card by making the busy signal to the ready state according to an indication of card reset in the busy state, making the busy signal to the ready state when the high voltage for erasure or writing reduces to an undesirable voltage as part of busy state and supplying unallotted command data to commands of the non-volatile memory units as data input of the non-volatile memory units during the assigned address inputs of the erase target memory blocks.

[Brief Description of the Drawings]

[Fig. 1] Block diagram of flash memory card relating to one embodiment of the present invention.

[Fig. 2] Block diagram of one example of card controller shown in Fig. 1.

[Fig. 3] State-transition diagram of control based on state-transition control of control part.

[Fig. 4] Block diagram of one example of busy signal forming component shown in Fig. 1.

[Fig. 5] Timing chart showing one example of state-transition control in case of indicating auto chip erasure in memory card of this embodiment.

[Fig. 6] Operation timing chart of one example in case of writing auto program command by word access in flash memory.

[Fig. 7] Operation timing chart of one example in case of writing auto chip erase command by word access in flash memory.

[Fig. 8] Operation timing chart of one example in case of writing auto block erase command by word access in flash memory.

[Fig. 9] Timing chart for illustrating malfunction prevention during block address inputs in auto block erasure.

[Fig. 10] Illustrative diagram showing operation concept which indicates that other flash memory are readable in data polling.

[Fig. 11] Timing chart of one example of reset operation of memory card in data polling.

[Fig. 12] Operation timing chart when busy signal at the time of card reset reflects internal state of flash memory.

[Fig. 13] Block diagram of card controller enabling execution of auto command in other flash memory in data polling.

[Fig. 14] Timing chart of one example in case of executing auto chip erase command separately for multiple flash memory in Fig. 13.

[Fig. 15] Timing chart showing state of local buses in operations shown in Fig. 14 in more detail.

[Fig. 16] Block diagram of flash memory card having function of detecting high voltage drop.

[Fig. 17] Operation timing chart of flash memory card of Fig. 16.

[Fig. 18] Block diagram of one example of system construction applied with flash memory card relating to embodiment of the present invention.

[Fig. 19] Illustrative diagram showing construction of external terminals of flash memory.

[Fig. 20] Block diagram of one example of flash memory.

[Fig. 21] Illustrative diagram showing kind of commands set up by command data for flash memory and their setup modes.

[Fig. 22] Illustrative diagram showing one example of access modes from external to memory card.

[Description of the Symbols]

1 flash memory card
 2 local memory
 3 card controller
 4 local buses
 FMRY-0 – FMRY-19 flash memory
 PI/O0 – PI/O7 data input/output terminals
 MD0-6 even-numbered byte common data buses
 MD8-14 odd-numbered byte common data buses
 PD0-19 data polling data buses
 40 memory control signal forming part
 41 data bus switching part
 42 busy signal forming part
 BSYN busy signal
 43 write data storage part
 44 control part
 45 polling start register
 RESETPcard reset signal
 50 auto command end determination part
 51 busy register
 3-1 card controller
 60 memory control signal forming part
 64 control part
 65-0 – 65-19 device 0 control component - device 19 control part
 1-1 flash memory card
 3-2 card controller
 70 high voltage V_{pp} drop detection circuit
 V_{pp} drop high voltage

[Fig. 1]

[Fig. 1]

(left)

3 card controller

JEIDA memory card interface

(middle)

MA1-19 (common)
MCE0N – MCE19N (for each device)
MOEN (common)
MD0-6 (even-numbered byte common data buses)
MD8-14 (odd-numbered byte common data buses)
PD0-19 (for each device)
4 local buses (data polling data buses)

(right)

2 local memory
4M-Flash x 20
FMRY-0 (device 0 (even-numbered byte) PCEN PI/O7)
FMRY-1 (device 1 (odd-numbered byte))
FMRY-2 (device 2 (even-numbered byte))
:
:
FMRY-19 (device 0 (odd-numbered byte) PCEN PI/O7)

[Fig. 2]

[Fig. 2]

(left)

3 card controller
← host side
→ card reset signal
→

(inside left)

44 control part → control signal
↑ command
↑ end signal
↓ write data storage part
↓ storage write data
42 busy signal forming part
→ parts

(inside right)

40 memory control signal forming part
41 data bus switching part

(right)

→ local memory side

[Fig. 18]

[Fig. 18]

<System construction example>

1 (1-1) this embodiment (Flash memory card)

[Fig. 3]

[Fig. 3]

<State-transition diagram>

State No.

000 command waiting state

001 auto chip erase setup state

010 auto chip erase polling state

011 auto block erase setup state

100 auto block erase polling state

101 auto program setup state

110 auto program polling state

between 000 – 001 reset command “FFh” auto chip erasure 1st command “30h”

between 000 – 010 internal processing end signal

between 000 – 011 auto block erasure 1st command “20h” reset command “FFh”

between 000 – 100 internal processing end signal

between 000 – 101 auto program 1st command “10h” reset command “FFh”

between 000 – 110 internal processing end signal

between 001 – 010 auto chip erasure 2nd command “30h”

between 011 – 100 auto program erasure 2nd command “D0h”

[Fig. 4]

[Fig. 4]

(top)

42 busy signal forming part

43 write data storage component (from)

44 control component (from)

53 end signal

storage write data

(inside left)

51 busy register (for 20 devices)

D0 – D7 during register read

values of bits

(inside right)

50 auto command end determination part
(right)
local memory

[Fig. 5]

[Fig. 5]

<Auto chip erase state transition>

(left side)

1st command 2nd command
state transition state transition
command waiting state
state number
auto chip erase setup state

(right side)

auto chip erase polling state
command waiting state
state transition
end signal form auto command end determination part
polling state
polling state

[Fig. 6]

[Fig. 6]

<Auto program>

(data writing)

D7,D15 data latch

↑ comparison

[Fig. 7]

[Fig. 7]

<Auto chip erasure>

[Fig. 8]

[Fig. 8]

<Auto block erasure>

block address input

polling start register-W

[Fig. 9]

[Fig. 9]

<Block address input>

block address input

polling start register-W

polling

polling

command command

(even-numbered byte data)

command command

(odd-numbered byte data)

[Fig. 10]

[Fig. 10]

3 card controller

(left)

host side

(inside left)

even-numbered byte memory read data

odd-numbered byte memory read data

42 busy signal forming part

(inside right)

41 data bus switching part

polling data

(right)

local memory side

[Fig. 12]

[Fig. 12]

<Card reset in polling>

(reset)

polling continuity

polling continuity

Flash internal processing

[Fig. 19]

[Fig. 19]

flash memory

[Fig. 11]

[Fig. 11]

<Card reset in polling>

(reset)

polling polling end

polling polling end

Flash internal processing

[Fig. 14]

[Fig. 14]

<Simultaneous auto chip erase state transition of multiple devices>

(left)

command write on devices 0,1

command waiting state

devices 0,1 state number

devices 2,3 state number

(middle left)

command write on devices 2,3

command waiting state

polling interruption interruption

polling

(middle right)

auto chip erase polling state

auto chip erase polling state

end signal of devices 0,1 from auto command end determination part

polling

polling

polling

(right)

command waiting state

command waiting state

end signal of devices 2,3 from auto command end determination part

[Fig. 15]

[Fig. 15]

< Simultaneous auto chip erase state transition of multiple devices>

polling interruption interruption polling polling polling

[Fig. 16]

[Fig. 16]

1-1 flash memory card
2 local memory (Flash memory)
3-2 card controller
70 high voltage V_{pp} drop detection circuit

[Fig. 13]

[Fig. 13]

(left)

3-1 card controller
← host side
→ card reset signal

(inside left)

64 control part → control signal
 device 0 control part
 :
 device 19 control part
↑ command
↑ end signal
↓ write data storage part
↓ storage write data
42 busy signal forming part
→ parts

(inside right)

60 memory control signal forming part
41 data bus switching part

(right)

local memory side

[Fig. 17]

[Fig. 17]

< V_{pp} cutoff in polling >

(left)

71 V_{pp} down signal

polling

polling

Flash internal processing

(right)

tell abnormality on host as busy

polling end

polling end

Flash internal processing on-the-way end

[Fig. 20]

[Fig. 20]

100 memory array

101 AIB

102 address latch

103 XADEC

104 YADEC

105 Y selector

106 sense amplifier

107 data output latch

108 data output buffer

109 data input buffer

109 data output latch

110 data input latch

111 write circuit

112 memory control circuit

[Fig. 21]

Kind of Command	Number of Cycle	First Cycle			Second Cycle		
		Mode	Address	Mode	Mode	Address	Mode
Read memory	1	write	/	00H	read	/	Dout
Read ID	2	write	/	90H	read	1A	ID

Chip erasure	2	write	/	20H	write	/	20H
Block erasure	2	write	/	60H	write	BA	60H
Erase verification	2	write	EVA	A0H	read	/	EVD
Auto chip erasure	2	write	/	30H	write	/	30H
Auto block erasure	2	write	/	20H	write	BA	DOH
Program	2	write	/	40H	write	PA	PD
Program verification	2	write	PVA	C0H	read	/	PVD
Auto program	2	write	/	10H	write	PA	PD
Reset	1 or 2	write	/	FFH	write	/	FFH

[Fig. 22]

CE1N	CE2N	A0	
0	1	0	byte access (even-numbered byte)
		1	byte access (odd-numbered byte)
0	0	/	word access
1	0	/	odd-numbered byte access